

APIC22 サンプル回路

Asynchronous Dual-Port RAM Interface

Local Bus 32Bit Mux Mode

(株) アドテックシステムサイエンス

APIC22 Sample Circuit

Revision 1.10

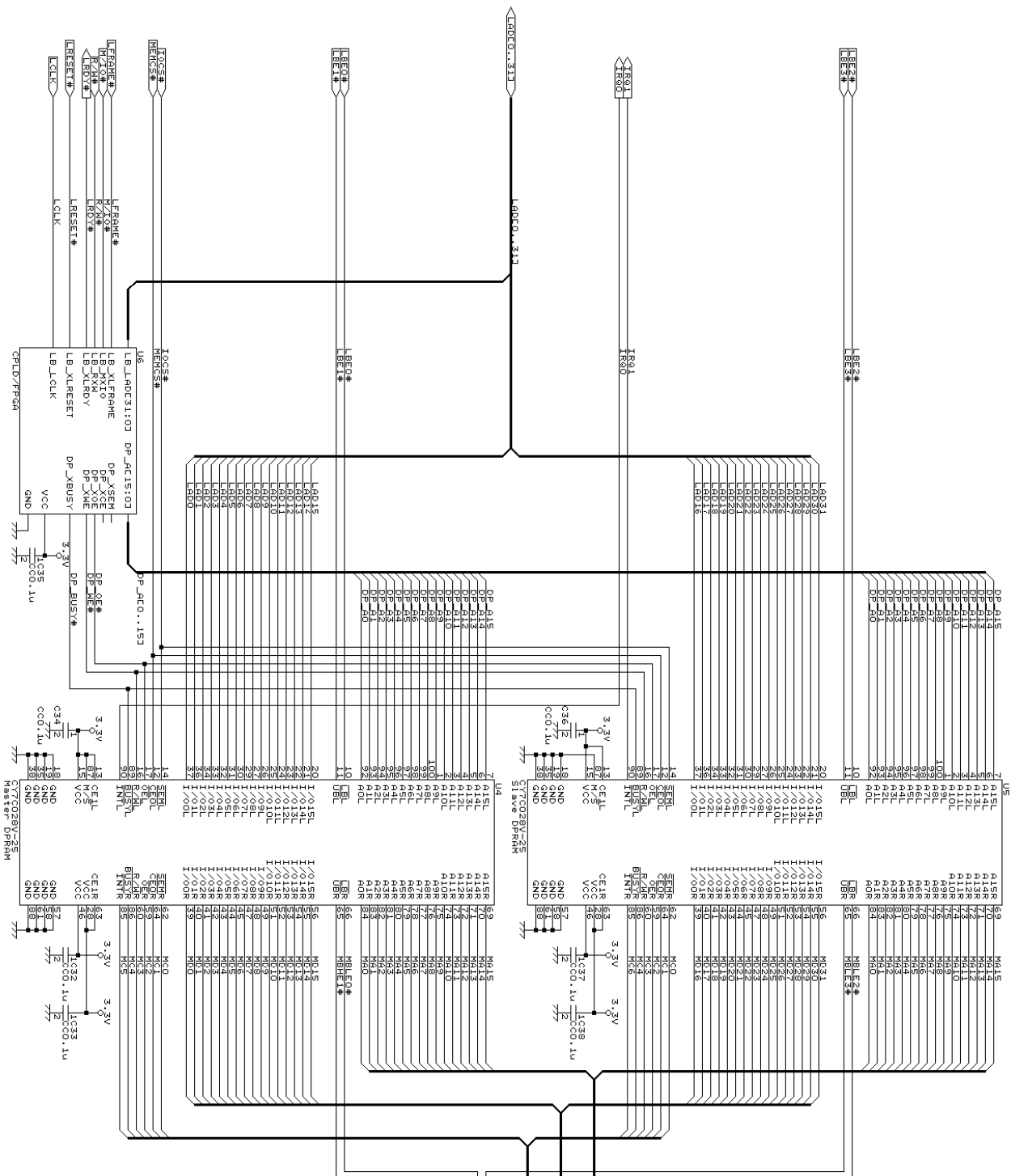
2004/12/07

変更来歴

DATE	Revision	Notes
01/12/10	Rev1.00	第一版
04/12/07	Rev1.10	p.14 テクニカルサポートの記述を追加。 E-Mail アドレスを修正。

- 目次 -

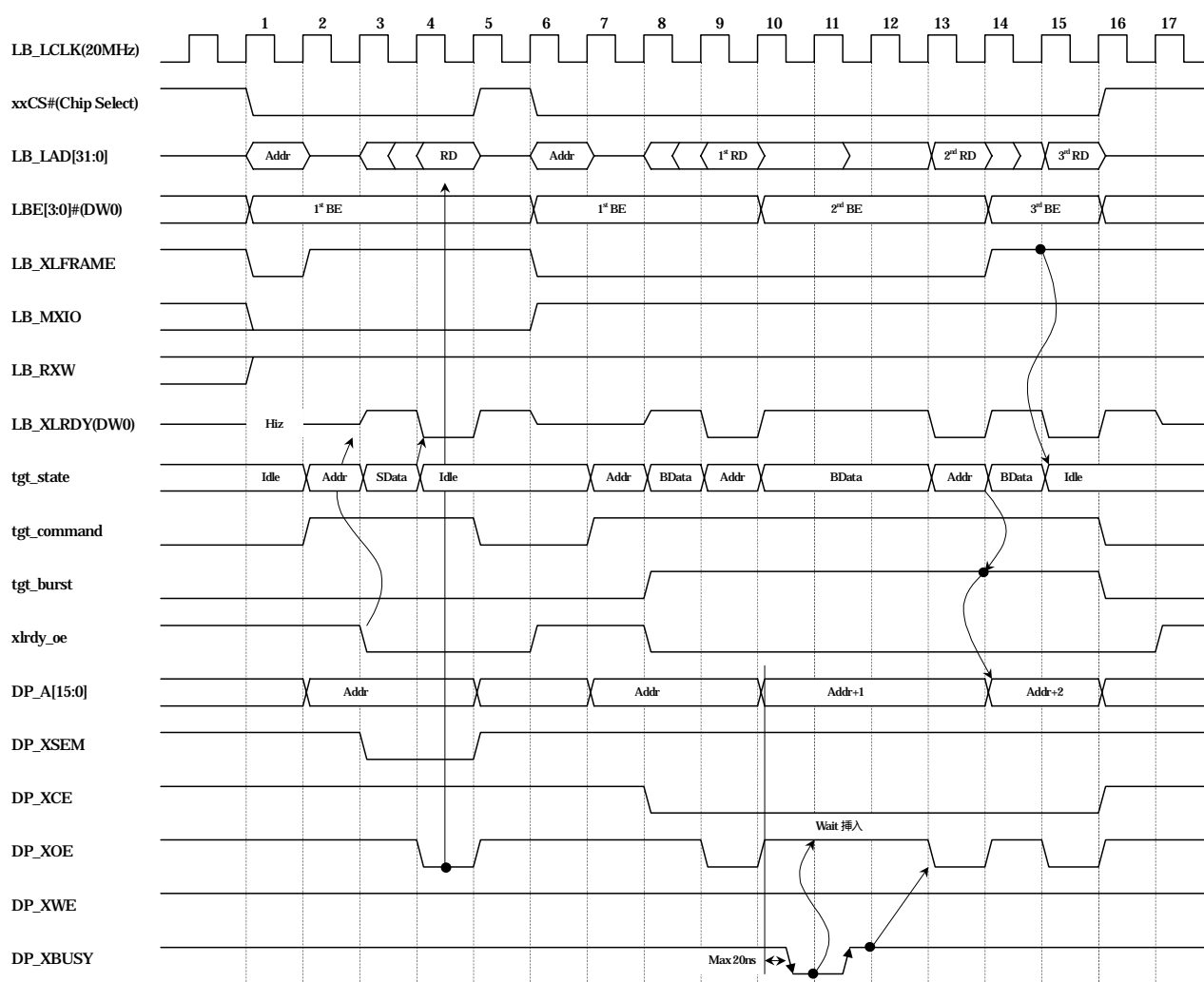
1 . サンプル回路図 (A22SMP2)	3
2 . タイミング図	5
2-1 . DPRAM リード・タイミング	5
2-2 . DPRAM ライト・タイミング	6
3 . シリアル EEPROM レジスタ設定例 (for A22SMP2)	7
3-1 . Adapter Control / Serial EEPROM Status	7
3-2 . PCI Configuration Register Space	8
3-3 . Initialize / MISC Control	10
3-4 . New Capabilities Space	11
3-5 . Adapter Configuration Register Lower Space	12
3-6 . Adapter Configuration Register Upper Space	13
3-7 . Reserved Space	13
3-8 . VPD Space	13



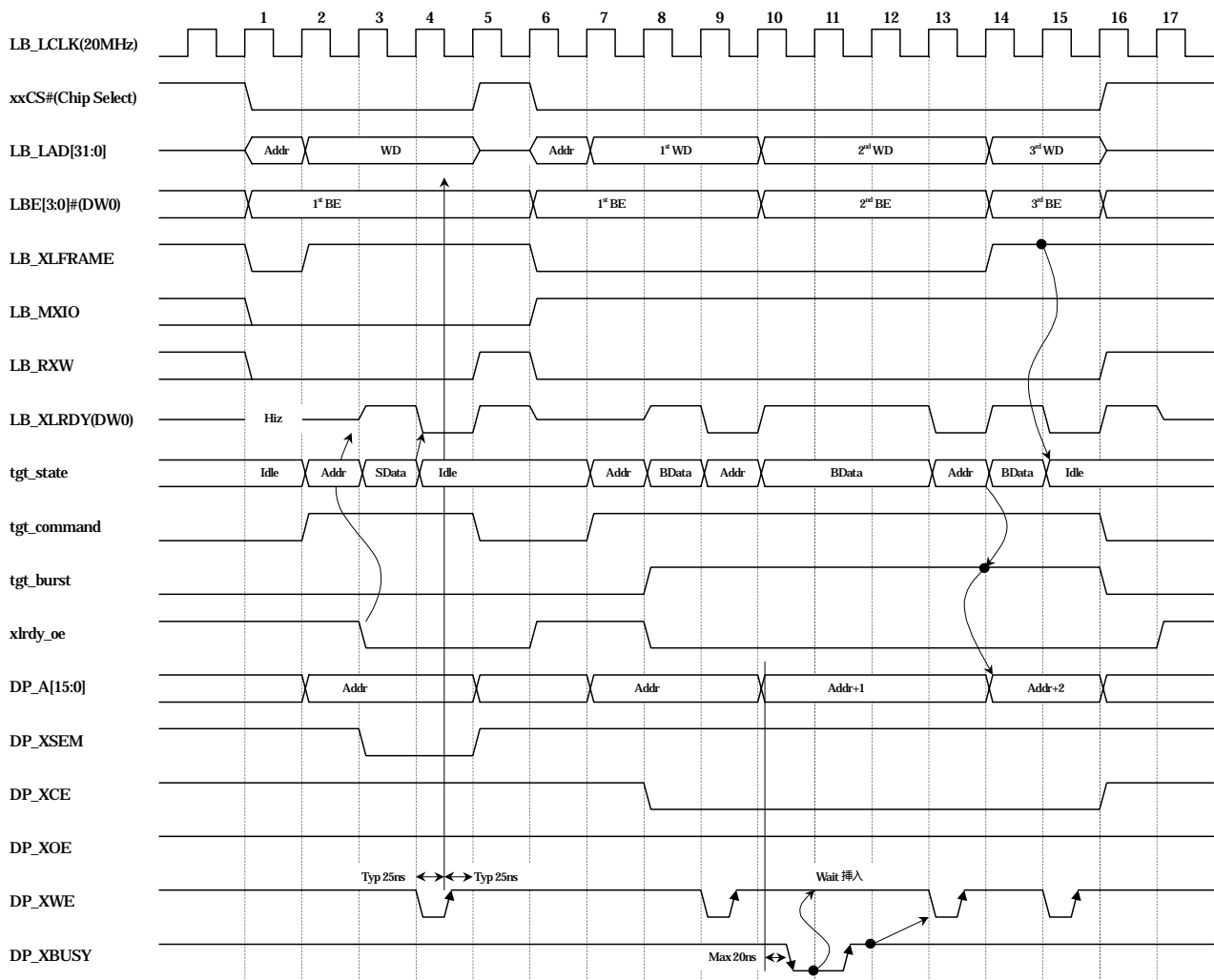
MCU Address Bus
MCU Data Bus
MCU Control Bus
UpperWord L0ubyte Enable
LowerWord L0ubyte Enable
UpperWord H0ubyte Enable
LowerWord H0ubyte Enable
Local MCU
System Block

２．タイミング図

２-１．DPRAM リード・タイミング



2-2 . DPRAM ライト・タイミング



3．シリアル EEPROM レジスタ設定例（for A22SMP2）

3-1．Adapter Control / Serial EEPROM Status

EEPROM Offset		Register Description	設定値	Note
3-Wire	2-Wire			
00h (Lower)	00h	Adapter Control	28h	Bit0 : Adapter Mode 0 : PCI / CompactPCI Adapter Mode
				Bit[2:1] : Local Clock(LCLKo) Select 00 : 非同期モード(LCLKi)
				Bit3 : Local Bus Mode 1 : 32Bit Mux Mode
				Bit4 : Local Software Reset 0 : LRESET# Disable 初期イニシャライズ終了後、LRESET#解除。
				Bit5 : Serial EEPROM Clock Select 1 : Fast Clock Mode ・ 3-Wire : PCI Clock の 64 分周
				Bit[7:6] : Reserved 値"0"を設定。
00h (Upper)	01h	Serial EEPROM Status	A5h	Bit[7:0] : Serial EEPROM Status A5h : 有効データを設定

3-2 . PCI Configuration Register Space

EEPROM Offset		Register Description	設定値	Note
3-Wire	2-Wire			
01h	02h	Vendor ID	xxxxh	Bit[15:0] : Vendor ID
02h	04h	Device ID	xxxxh	Bit[15:0] : Device ID
03h	06h	Status Register	0000h	Bit[3:0] : Reserved Bit4 : New Capabilities Bit5 : 66MHz Capable (Reserved) Bit6 : Reserved Bit7 : Fast Back-to-Back Capable Bit[15:8] : Reserved
04h (Lower)	08h	Revision ID	xxh	Bit[7:0] : Revision ID
04h (Upper)	09h	Programming Interface Code	xxh	Bit[7:0] : Programming Interface Code
05h (Lower)	0Ah	Sub Class Code	xxh	Bit[7:0] : Sub Class Code
05h (Upper)	0Bh	Base Class Code	xxh	Bit[7:0] : Base Class Code
06h	0Ch	Base Address Register1(BAR1) (Lower Word)	FFF1h	Bit0 : BAR1 Function Control for I/O Space 1 : BAR1 Function ON Bit1 : Reserved 値"0"を設定。 Bit[15:2] : BAR1 Lower Address Decode Range ・ PCIAD[15:4]をデコード (16Byte 空間確保)
07h	0Eh	Base Address Register1(BAR1) (Upper Word)	FFFFh	Bit[14:0] : BAR1 Upper Address Decode Range ・ PCIAD[31:16]をデコード Bit15 : Reserved
08h	10h	Base Address Register2(BAR2) (Lower Word)	0001h	Bit0 : BAR2 Function Control for Memory Space 1 : BAR2 Function ON Bit[2:1] : Memory Type Bit3 : Memory Prefetchable Disable Bit[15:4] : BAR2 Lower Address Decode Range ・ PCIAD[15:4]は未デコード
09h	12h	Base Address Register2(BAR2) (Upper Word)	FFFCh	Bit[14:0] : BAR2 Upper Address Decode Range ・ PCIAD[30:18]をデコード (256Kbyte 空間確保) Bit15 : Reserved

EEPROM Offset		Register Description	設定値	Note
3-Wire	2-Wire			
0Ah	14h	Reserved	0000h	Bit[15:0] : Reserved 値"0"を設定。
0Bh	16h	Reserved	0000h	Bit[15:0] : Reserved 値"0"を設定。
0Ch	18h	Reserved	0000h	Bit[15:0] : Reserved 値"0"を設定。
0Dh	1Ah	Subsystem Vendor ID	xxxxh	Bit[15:0] : Subsystem Vendor ID
0Eh	1Ch	Subsystem ID	xxxxh	Bit[15:0] : Subsystem ID
0Fh	1Eh	Expansion ROM Base Address Register (Lower Word)	0000h	Bit0 : ExpROM Function Control 0 : ExpROM Function OFF ----- Bit[10:1] : Reserved 値"0"を設定。 ----- Bit[15:11] : ExpROM Lower Address Decode Range 未使用。
10h	20h	Expansion ROM Base Address Register (Upper Word)	0000h	Bit[14:0] : ExpROM Upper Address Decode Range 未使用。 ----- Bit15 : Reserved
11h (Lower)	22h	Cap_Ptr	00h	Bit[7:0] : New Capabilities Pointer 未使用。
11h (Upper)	23h	Interrupt Pin	01h	Bit0 : INTA# Function Control 1 : INTA# Function ON ----- Bit[7:1] : Reserved 値"0"を設定。
12h (Lower)	24h	Min_Gnt	00h	Bit[7:0] : Min_Gnt Value
12h (Upper)	25h	Max_Lat	00h	Bit[7:0] : Max_Lat Value

3-3 . Initialize / MISC Control

EEPROM Offset		Register Description	設定値	Note
3-Wire	2-Wire			
13h (Lower)	26h	Initialize Control	04h	Bit0 : New Capabilities Initialize Control 0 : New Capabilities Initialize OFF PCI 新機能空間のイニシャライズを禁止。 ----- Bit1 : Reserved 値"0"を設定。 ----- Bit2 : Adapter Config Reg Lower Space Initialize Control 1 : Adapter Config Reg Lower Space Initialize ON アダプタ・コンフィギュレーション下位空間のイニシャライズを許可。 ----- Bit3 : Adapter Config Reg Upper Space Initialize Control 0 : Adapter Config Reg Upper Space Initialize ON アダプタ・コンフィギュレーション上位空間のイニシャライズを禁止。 ----- Bit[7:4] : Reserved 値"0"を設定。
13h (Upper)	27h	MISC Control	01h	Bit0 : BAR0 Space Select 1 : I/O Space BAR0 を I/O 空間に配置。 ----- Bit[7:1] : Reserved 値"0"を設定。

3-4 . New Capabilities Space

EEPROM Offset		Register Description	設定値	Note
3-Wire	2-Wire			
14h (Lower)	28h	Hot Swap Cap_ID	00h	Bit0 : Hot Swap Function Control 0 : Hot Swap Function OFF 未使用。 Bit[7:1] : Reserved 値"0"を設定。
14h (Upper)	29h	Hot Swap Next Item	00h	Bit[7:0] : Next Item 未使用。
15h (Lower)	2Ah	Power Management Cap_ID	00h	Bit0 : PM Function Control 0 : PM Function OFF 未使用。 Bit[7:1] : Reserved 値"0"を設定。
15h (Upper)	2Bh	Power Management Next Item	00h	Bit[7:0] : Next Item 未使用。
16h	2Ch	Power Management Capabilities(PMC)	0000h	Bit Image is PMC Register
17h	2Eh	Power Management Status	0000h	Bit[1:0] : D0 Power Consumed Data Scale Bit[3:2] : D1 Power Consumed Data Scale Bit[5:4] : D2 Power Consumed Data Scale Bit[7:6] : D3 Power Consumed Data Scale Bit[9:8] : D0 Power Dissipated Data Scale Bit[11:10] : D1 Power Dissipated Data Scale Bit[13:12] : D2 Power Dissipated Data Scale Bit[15:14] : D3 Power Dissipated Data Scale
18h (Lower)	30h	PM Data for D0 Power Consumed	00h	Bit[7:0] : D0 Power Consumed Data
18h (Upper)	31h	PM Data for D1 Power Consumed	00h	Bit[7:0] : D1 Power Consumed Data
19h (Lower)	32h	PM Data for D2 Power Consumed	00h	Bit[7:0] : D2 Power Consumed Data
19h (Upper)	33h	PM Data for D3 Power Consumed	00h	Bit[7:0] : D3 Power Consumed Data
1Ah (Lower)	34h	PM Data for D0 Power Dissipated	00h	Bit[7:0] : D0 Power Dissipated Data
1Ah (Upper)	35h	PM Data for D1 Power Dissipated	00h	Bit[7:0] : D1 Power Dissipated Data
1Bh (Lower)	36h	PM Data for D2 Power Dissipated	00h	Bit[7:0] : D2 Power Dissipated Data
1Bh (Upper)	37h	PM Data for D3 Power Dissipated	00h	Bit[7:0] : D3 Power Dissipated Data
1Ch (Lower)	38h	VPD Cap_ID	01h	Bit0 : VPD Function Control 1 : VPD Function ON 有効設定。 Bit[7:1] : Reserved 値"0"を設定。
1Ch (Upper)	39h	VPD Next Item	00h	Bit[7:0] : Next Item 未使用。
1Dh (Lower)	3Ah	MSI Cap_ID	00h	Bit0 : MSI Function Control 0 : MSI Function OFF 未使用。 Bit[7:1] : Reserved 値"0"を設定。
1Dh (Upper)	3Bh	MSI Next Item	00h	Bit[7:0] : Next Item 未使用。

3-5 . Adapter Configuration Register Lower Space

EEPROM Offset		Register Description	設定値	Note
3-Wire	2-Wire			
20h (Lower)	40h	Local Power Management Control	00h	Bit Image is Local Power Management Control Register
20h (Upper)	41h	PCI SERR# Control	00h	Bit Image is PCI SERR# Control Register
21h (Lower)	42h	Internal Interrupt Control for PCI	00h	Bit Image is Internal Interrupt Control for PCI Register
21h (Upper)	43h	Internal Interrupt Control for Local	00h	Bit Image is Internal Interrupt Control for Local Register
22h	44h	External Interrupt Control	0011h	Bit Image is External Interrupt Control Register ・ IRQ[1:0] Enable (Level / Active Low) ・ IRQ[3:2] Disable
23h (Lower)	46h	Reserved	00h	Bit[7:0] : Reserved 値"0"を設定。
23h (Upper)	47h	Parallel Input / Output(PIO)	00h	Bit Image is PIO Register
24h	48h	Pin Function Control	0000h	Bit Image is Pin Function Control Register ・ PIO=入力ポート
25h	4Ah	Local Bus Control(Lower Word)	0000h	Bit Image is Local Bus Control Register Bit[15:0] ・ Little Endian / AS# Pin Select ・ MEMAW=0 / MEMDW=0
26h	4Ch	Local Bus Control(Upper Word)	0000h	Bit Image is Local Bus Control Register Bit[31:16] ・ IOAW=0 / IODW=0
27h	4Eh	PCI Target I/O Remap Address (Lower Word)	0000h	Bit Image is PCI Target I/O Remap Address Bit[15:0]
28h	50h	PCI Target I/O Remap Address (Upper Word)	0000h	Bit Image is PCI Target I/O Remap Address Bit[31:16]
29h	52h	PCI Target Memory Remap Address (Lower Word)	0000h	Bit Image is PCI Target Memory Remap Address Bit[15:0]
2Ah	54h	PCI Target Memory Remap Address (Upper Word)	0000h	Bit Image is PCI Target Memory Remap Address Bit[31:16]
2Bh	56h	PCI Target ExpROM Remap Address (Lower Word)	0000h	Bit Image is PCI Target ExpROM Remap Address Bit[15:0]
2Ch	58h	PCI Target ExpROM Remap Address (Upper Word)	0000h	Bit Image is PCI Target ExpROM Remap Address Bit[31:16]
2Dh	5Ah	PCI State Control (Lower Word)	C02Fh	Bit Image is PCI State Control Register Bit[15:0] ・ PCI Read Mode(IO / MEM)選択 ・ PCI Write Mode(IO / MEM)選択 ・ Memory Posted WR 選択 ・ Local MEM Prefetch / Continuous Mode 選択
2Eh	5Ch	PCI State Control (Upper Word)	000Fh	Bit Image is PCI State Control Register Bit[31:16] ・ Prefetch Count=64Byte
2Fh	5Eh	Local Master I/O Remap Address (Lower Word)	0000h	Bit Image is Local Master I/O Remap Address Bit[15:0]
30h	60h	Local Master I/O Remap Address (Upper Word)	0000h	Bit Image is Local Master I/O Remap Address Bit[31:16]
31h	62h	Local Master Memory Remap Address (Lower Word)	0000h	Bit Image is Local Master Memory Remap Address Bit[15:0]
32h	64h	Local Master Memory Remap Address (Upper Word)	0000h	Bit Image is Local Master Memory Remap Address Bit[31:16]
33h	66h	Local State Control (Lower Word)	0000h	Bit Image is Local State Control Register Bit[15:0]
34h	68h	Local State Control (Upper Word)	FF90h	Bit Image is Local State Control Register Bit[31:16] ・ Local MEM Burst Enable ・ Local Wait Limit Enable
35h	6Ah	Timer Count / Control (Lower Word)	0000h	Bit Image is Timer Count Register Bit[15:0]
36h	6Ch	Timer Count / Control (Upper Word)	0000h	Bit Image is Timer Count Bit[23:16] / Control Register

3-6 . Adapter Configuration Register Upper Space

EEPROM Offset		Register Description	設定値	Note
3-Wire	2-Wire			
40h	80h	IOCS0# Address Decode	0000h	Bit Image is IOCS0# Address Decode Register
41h	82h	IOCS1# Address Decode	0000h	Bit Image is IOCS1# Address Decode Register
42h	84h	IOCS2# Address Decode	0000h	Bit Image is IOCS2# Address Decode Register
43h	86h	IOCS3# Address Decode	0000h	Bit Image is IOCS3# Address Decode Register
44h	88h	IOCS4# Address Decode	0000h	Bit Image is IOCS4# Address Decode Register
45h	8Ah	IOCS5# Address Decode	0000h	Bit Image is IOCS5# Address Decode Register
46h	8Ch	IOCS6# Address Decode	0000h	Bit Image is IOCS6# Address Decode Register
47h	8Eh	IOCS7# Address Decode	0000h	Bit Image is IOCS7# Address Decode Register
48h	90h	IOCS8# Address Decode	0000h	Bit Image is IOCS8# Address Decode Register
49h	92h	IOCS9# Address Decode	0000h	Bit Image is IOCS9# Address Decode Register
4Ah	94h	IOCS10# Address Decode	0000h	Bit Image is IOCS10# Address Decode Register
4Bh	96h	IOCS11# Address Decode	0000h	Bit Image is IOCS11# Address Decode Register
4Ch	98h	IOCS12# Address Decode	0000h	Bit Image is IOCS12# Address Decode Register
4Dh	9Ah	IOCS13# Address Decode	0000h	Bit Image is IOCS13# Address Decode Register
4Eh	9Ch	IOCS14# Address Decode	0000h	Bit Image is IOCS14# Address Decode Register
4Fh	9Eh	IOCS15# Address Decode	0000h	Bit Image is IOCS15# Address Decode Register
50h	A0h	I/O Chip Select Timing Control (Lower Word)	0000h	Bit Image is I/O Chip Select Timing Control Register Bit[15:0]
51h	A2h	I/O Chip Select Timing Control (Upper Word)	0000h	Bit Image is I/O Chip Select Timing Control Register Bit[31:16]

3-7 . Reserved Space

EEPROM Offset		Register Description	設定値	Note
3-Wire	2-Wire			
80h ~ BFh	100h ~ 17Fh	Reserved	xxxxh	予約空間。 未使用。

3-8 . VPD Space

EEPROM Offset		Register Description	設定値	Note
3-Wire	2-Wire			
C0h ~ 3FFh	180h ~ 7FFh	VPD Data	xxxxh	1664Byte までの VPD(Vital Product Data)を登録。 未使用。

~~~~~

この資料に記載した内容は、改良などのため、予告なく変更することがあります。

この資料に掲載されている技術情報は、弊社及び、第3者の知的所有権その他の権利に対する保証または実施の許諾を行うものではありません。また、この資料に記載された情報の使用に起因する障害または財産の侵害に関して弊社は一切の責任を負いません。

文書による弊社の許諾なしに本資料の一部または全部を転載または複製することを堅くお断りいたします。

~~~~~

~~~~~

この資料に記載された情報・回路図は、弊社半導体デバイスの応用例として使用されており、実際に使用する機器への搭載を目的とするものではありません。

また、回路図上に記載されている弊社以外の半導体デバイスは、1つの例として取り上げているもので、実際の入手性や供給状況を保証するものではありません。

この資料に記載されている内容および添付の設計資料は、全パラメータに関する動作検証を保証するものではありません。

この資料に関する情報の公開は、回路図および添付の設計資料をもって全てとさせていただきます。  
記載内容に関する技術的なご質問はお受けいたしかねますのでご了承ください。

~~~~~

APIC22 サンプル回路

2004年 12月 07日

株式会社アドテックシステムサイエンス
テクニカルサポート

E-Mail : support@adtek.co.jp

FAX : 045-331-7770

URL : <http://www.adtek.co.jp/>

編集 開発部

©2001-2004 ADTEK System Science Co.,Ltd. Printed in Japan.