



PCI Target Interface Adapter

技術資料

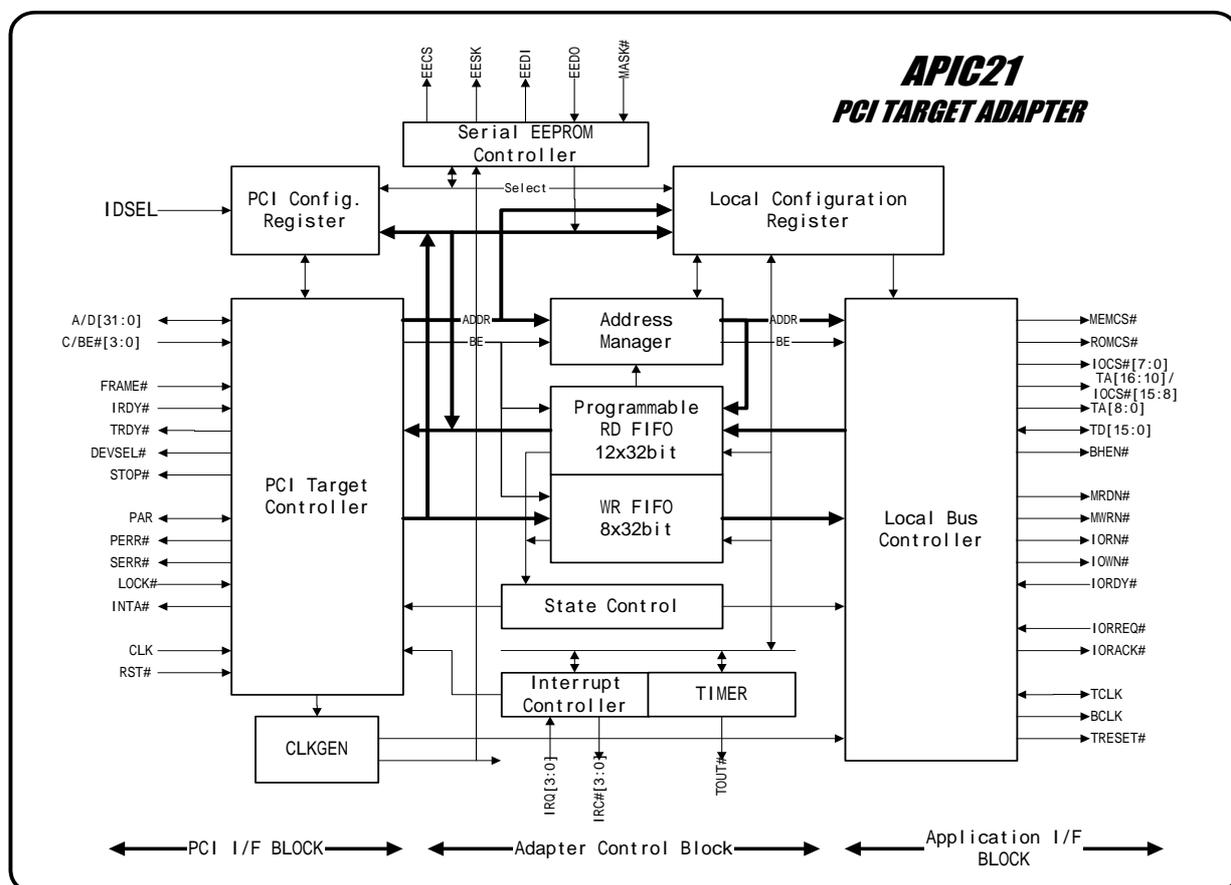
第4版

- 目次 -

1. APIC21 製品概要.....	2
2. 各ブロックの概要.....	3
2-1. PCI TARGET I/F ブロック: PCI Local Bus Specification 2.1 準拠 (ターゲット機能).....	3
2-2. Adapter Control ブロック.....	7
2-2-1. アドレッシング制御.....	7
2-2-2. データ制御.....	7
2-2-2-1. READ 制御.....	7
2-2-2-2. WRITE 制御.....	11
2-2-3. ステート制御.....	13
2-3. Local Control ブロック.....	14
2-3-1. Local Address Control.....	14
2-3-2. Chip Select 信号処理.....	14
2-3-3. ローカルバス制御.....	14
2-4. Peripheral ブロック.....	16
2-4-1. Interrupt Controller	16
2-4-1-1. 外部割込要求 : IRQ[3:0].....	16
2-4-1-2. 内部割込み	16
2-4-2. 汎用タイマ.....	16
2-4-3. シリアルEEPROM Control ブロック.....	17
2-5. クロック制御.....	19
2-6. Local Configuration Register	20
3. バス・R/W タイミング.....	23
4. LOCAL CONFIGURATION REGISTER.....	24
4-1. 実空間レジスタ : 16 バイト空間.....	24
4-2. 仮想空間レジスタ : 52 バイト空間.....	28
5. Package.....	33
6. 用語説明.....	38
7. 電気的特性.....	40
8. 使用上の注意事項	44
9. 各種タイミング	50
9-1. Read Transaction	50
9-1-1. Direct Read Transaction.....	50
9-1-2. Delayed Read Transaction: (PCI RD Mode).....	51
9-1-3. Direct I/O Pre-Read PCI INT Read Transaction.....	52
9-2. Write Transaction	53
9-2-1. Memory Burst Write Transaction	53
9-2-2. I/O Burst Write Transaction	54
9-2-3. Fast back to back Transaction	55
9-2-4. PCI Write Mode	56
9-2-5. PCI WR Completion Mode	57
9-2-6. Data Parity Mode	58
外形寸法図.....	59
改訂履歴.....	60

1. APIC21 製品概要

1. Compact PCI を意識した小型化の実現(SQFP144Pin 採用)しました。
2. PCI Spec2.1 Target 機能をサポートし、Gate 規模 / PIN 数を抑え低コスト化を図りました。
3. Read / Write Data Buffer に Dual Port FIFO Memory を採用し、APIC21 が占める PCI バスの使用率を最小に抑えています。
4. Delayed RD 転送をサポートし、低速 Application との最適インターフェースが可能です。
同 Delayed RD 用格納領域を 2 チャンネル用意し、Dual Master からのアクセスに対応できます。また、同チャンネルに対する自動 Discard 処理、及び LOCK 機能をサポートすることによって、最適な Application とのやり取りを提供しています。
5. 最大 256 Byte の I/O 空間、及び最大 128Kbyte の Memory/Expansion ROM 空間をサポートしています。
6. Local Bus Width は、16 / 8 bit を選択可能です。
7. I/O 空間用に 16 本の Chip Select (IOCSN#) をサポート。
各 Chip Select は、1 ~ 256Byte の範囲で設定可能で、I/O Read / Write のタイミングで出力できるので、外付けデコード回路が不要になりました。
8. Local Bus は、I/O、Memory 空間毎にそれぞれ Read/Write 転送個別に Address/Data/Hold のタイミングが選択可能です。
9. 最大 32Byte の FIFO を利用した Target Application 主導型の I/O Read が可能です。
これにより、Application 側より多くの Data 転送を要求するシステムは転送効率の向上が図れます。
10. Memory 空間は最大 32Byte の Pre-fetch が可能です。
11. 最大 4 要因のマスク可能な割込み入力が可能です、割込み入力は、Polarity / Trigger Type / Priority の設定ができます。
12. シリアル EEPROM の接続が可能で、Power-ON / PCI Reset 時に初期化データを Load し、APIC21 の内部レジスタを初期化します。
1K / 2K / 4K のシリアル EEPROM の使用が可能で ROM サイズを自動的に認識します。
13. Local Data Bus に Bi-directional Schmitt Input / High Fan-out (IOL=24mA) Buffer を採用しました。
14. Local Bus の全ての Input Pin に 50K Pullup 処理が施されています。



2. 各ブロックの概要

2-1. PCI TARGET I/F ブロック: PCI Local Bus Specification 2.1 準拠 (ターゲット機能)

Supported PCI Command:

PCI Command Type	Code (C/BE#)
I/O Read	0010
I/O Write	0011
Memory Read	0110
Memory Write	0111
Configuration Read	1010
Configuration Write	1011
Memory Read Multiple (MRM)	1100
Memory Read Line (MRL)	1110
Memory Write and Invalidate (MWI)	1111

その他の Command、及び Reserved Command には応答しません(DEVSEL#: No Assert)。一部の PC(Master Device)は、Retry / Disconnect に対し、同じ Command を使用して再アクセスするとは限らず、MRM / MRL / MWI Command を繰り返すものがあり、これに対応します。

パリティ・チェック機能:

- Parity Error 検出時の応答は、同チップへのアクセス時のみ SERR# / PERR#をアサートします (PCI Spec では Broadcast 的に応答することも許されています)。PERR# / SERR#の Enable 状態は、PCI Command レジスタの bit6: Parity Error Response / bit8: SERR# Enable 設定に依存します。
- Parity Error 検出時の処理：
 - Address Parity Error を検出した場合、全てのアクセスを無効処理。
 - Data Parity Error 検出時の処理をレジスタの設定により、選択可能 (無効 / 有効) です。

Target LOCK 機能サポート:

本チップでは、全てのリソース (I/O、Memory) が対象となります。そのため、LOCK シーケンスの最初のアクセスは、Memory Read または I/O Read Command で実行可能です。LOCK マスタ以外のアクセスに対し Retry 応答します。

- LOCK の不成立条件：
 - 1st TransactionがWR転送であった場合：
同チップとして機能的に判別。
 - 1st Transactionがデータを伴わない終了をした場合 / TARGET ABORT終了した場合マスタ側が同状態を判別して、LOCK#をフレームの終了時点で De-assert 状態にするため、チップ上の動作としては、その時点まで LOCK#されたものとして動作します。

Burst 転送時の Addressing Mode:

- Memory Addressing Mode：
 - Linear Addressing Mode のみサポート。
 - その他の Addressing Mode に対しては、最初のアクセスで Disconnect with Data 終了。
- I/O Addressing Mode：

PCI Spec 上、Burst 転送に関する Address の取り決めを Master 側と Target Device 側で事前の取り決めがあれば、ローカル・ルールを使用することが許されています (他のシステムには影響ありません)。

APIC21 ではレジスタの設定により、固定 (4Byte 空間) / リニア・モードを選択可能とします。

- ・ **Target Latency ルールについて:**
 PCI Spec2.1 では、Target Latency ルールは必須条件となっています。
 APIC21 では、Initial Latency (16 clock) / Subsequent Latency (8 clock)をサポートします。
 但し、Spec2.0 対応として、Initial Latency をレジスタの設定により Disable にすることも可能です。
- ・ **Expansion ROM 空間の Write アクセス・サポート:**
 Expansion ROM 空間への Write アクセスは通常動作として受け付けます。
 Flush Memory / EEPROM 等への Data 書き込みが可能です。
- ・ **無効データ・フェーズの SKIP 処理:**
 PCI Spec 上、全ての Byte Lane を無効(C/BE#=1111b)としたアクセスも許されています。
 APIC21 は各データ転送毎に有効 Byte Lane を監視し処理を行っているため、有効データのみ Target Application 側にアクセスできます (Memory Prefetch Enable 状態での RD 動作は除きます)。
- ・ **PCI Configuration Register:**
 PCI のホスト又は、初期値設定用に設けるシリアル EEPROM からのアクセス可能。
 - Burst 転送のサポート :
 一部の Legacy PC では Configuration 空間への Burst 転送を行うものがあるため、APIC21 では同空間への Burst アクセスを可能としました。但し、最初のアクセスで Disconnect with Data 終了します。
 - Base Address レジスタの System Mapping / Address サイズをプログラマブルに設定可能
 対象 : BAR1(I/O), BAR2(Memory), Expansion ROM BAR
 - デバイス固有領域 :
 192 byte のデバイス固有領域に対して応答し、Read 時は全て“ 00h ”が読み出されます。
 - 機能番号 “ 0 ” のみをサポート (その他機能番号には応答しません)。

31		16 15		0		Offset (HEX)
Device ID		Vendor ID				00h
Status		Command				04h
Base-Class	Sub-Class	Programming I/F	Revision ID			08h
BIST	Header Type	Latency Timer	Cache Line Size			0Ch
Base Address Register 0						10h
Base Address Register 1						14h
Base Address Register 2						18h
Reserved						1Ch
						20h
						24h
Cardbus CIS Pointer						28h
Subsystem ID		Subsystem Vendor ID				2Ch
Expansion ROM Base Address						30h
Reserved						34h
Reserved						38h
Max_LAT	Min_GNT	Interrupt Pin	Interrupt Line			3Ch

- **Vender ID : Addr=00h; 16 bit; Reset = 136Ch; Read Only**
 - ・ 初期 Initialize 時に Serial EEPROM からの書き込み可能。

- **Device ID : Addr=02h; 16bit; Reset = 0001h; Read Only**
 - ・ 初期 Initialize 時に Serial EEPROM からの書き込み可能。
- **Command Register : Addr=04h; 16bit; Reset = 0000h; R/W**

Command Register

Bit	Description	Supported	R/W	Reset
0	I/O Space	Yes	R/W	0
1	Memory Space	Yes	R/W	0
2	Bus Master(Master Only)	No	R	0 (固定)
3	Special Cycles	No	R	0 (固定)
4	Memory Write and Invalidate Enable	No	R	0 (固定)
5	VGA Palette Snoop	No	R	0 (固定)
6	Parity Error Response	Yes	R/W	0
7	Wait Cycle Control	No	R	0 (固定)
8	SERR Enable	Yes	R/W	0
9	Fast Back to Back Enable (Master Only)	No	R	0 (固定)
15:10	Reserved		R	0

- **Status Register : Addr=06h; 16bit; Reset = 0000h; R/W**

Status Register

Bit	Description	Supported	R/W	Reset
6:0	Reserved		R	0
7	Fast Back-to-Back Capable	Yes	R	1
8	Data Parity Error Detected (Master Only)	No	R	0 (固定)
10:9	DEVSEL Timing	Yes	R	01
11	Signaled Target Abort	Yes	R/WC	0
12	Received Target Abort (Master Only)	No	R	0 (固定)
13	Received Master Abort (Master Only)	No	R	0 (固定)
14	Signaled System Error	Yes	R/WC	0
15	Detected Parity Error	Yes	R/WC	0

Status REG: DEVSEL#タイミング は、Medium リポ ンダ -に設定

- **Revision ID : Addr=08h; 8bit; Reset=00h (固定), Read Only**
- **Class Code :**
 - ・ 初期 Initialize 時に Serial EEPROM からの書き込み可能
 - ・ **Programming I/F Code: Addr=09h; 8bit; Reset = 00h; Read Only**
 - ・ **Sub-Class Code: Addr=0Ah; 8bit; Reset=80h; Read Only**
 - ・ **Base-Class Code: Addr=0Bh; 8bit; Reset=06h; Read Only**
- **Header Type : Addr=0Eh; 8bit; Reset=00h (固定)**
- **Base Address Register0 : Addr=10h; 32bit; Reset=00000001h; R/W**
 - ・ ローカル・コンフィグレーション・レジスタ I/O 空間用 - 16 Byte 固定

31	4 3 2 1 0
I/O Base Address : R/W	0 0 0 1

- ・ Bit[0]: I/O Space Indicator (1:固定)
- ・ Bit[1]: Reserved (0:固定)
- ・ Bit[31:2]: I/O Base Address (Bit[3:2]:0 固定-16 Byte I/O Space)

- **Base Address Register1 : Addr=14h; 32bit; Reset: 0000001h; R/W**

- I/O 空間用 : Min:4Byte – Max:256Byte(Reset 後 = 16 Byte)

31	8 7 6 5 4 3 2 1 0
I/O Base Address : R/W	Decode Enable
	0 1

- Bit[0]: I/O Space Indicator (1:固定)
- Bit[1]: Reserved (0:固定)
- Bit[31:2]: I/O Base Address (Max: 256 Byte)

Serial EEPROM よりアクセスされる **BAR1 Decode Enable レジスタ**の内容によつて、BAR1 の Mapping の ON/OFF、Decode レンジの設定可能。

- **Base Address Register2 : Addr=18h; 32bit; Reset: Mapping Off; R/W**

- Memory 空間用 : Min:32Byte – Max:128Kbyte(Reset 時 : Mask)

31	16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0
Memory Base Address : R/W	Decode Enable
	0 0 0 0 0 0

- Bit[0]: Memory Space Indicator (0:固定)
- Bit[2:1]: Type (00:32bit アド*1空間の任意の位置)
- Bit[3]: Prefetch Enable
- Bit[31:4]: Memory Base Address (Max: 128 KByte)
- Bit[4]: 0 固定

Serial EEPROM よりアクセスされる **BAR2 Decode Enable レジスタ**の内容によつて、BAR2 の Mapping の ON/OFF、Decode レンジの設定可能。

- **Subsystem Vender ID : Addr=2Ch; 16bit; Reset=0000h; Read Only**

- 初期 Initialize 時に Serial EEPROM からの書き込み可能。

- **Subsystem ID : Addr=2Dh; 16bit; Reset=0000h; Read Only**

- 初期 Initialize 時に Serial EEPROM からの書き込み可能。

- **Expansion ROM Base Address : Addr=30h; 32bit; Reset= Mapping Off; R/W**

- Expansion ROM 空間用 : Min:2KByte-Max:128Kbyte(Reset 時 : Mask)

31	16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0
Memory Base Address : R/W	Decode Enable
	Reserved
	0

- Bit[0]: Address Decode Enable
- Bit[10:1]: Reserved
- Bit[31:11]: Expansion ROM Base Address (Max: 128 KByte)

Serial EEPROM よりアクセスされる **Expansion ROM BAR Decode Enable レジスタ**の内容によつて、BAR2 の Mapping の ON/OFF、Decode レンジの設定可能。

- **Interrupt Line : Addr=3Ch; 8bit; Reset= 不定; R/W**

- **Interrupt Pin : Addr=3Dh; 8bit; Reset= 01h; Read Only**

Serial EEPROM よりアクセスされる **Interrupt Pin Select レジスタ**の内容によつて、PCI 割込み要求端子(INTA#)を使用するか否かを設定可能。

2-2. Adapter Control ブロック

2-2-1. アドレッシング制御

- ターゲット・アプリケーション空間への割り当てとターゲット・アドレスの再生成
Memory/Exp.ROM 空間： 最大 128Kbyte (BAR2/Exp. ROM BAR の設定)
I/O 空間： 最大 256byte (BAR1 の設定)
PCI から転送されたアドレスをベースにローカル・バス幅の設定とバイト・イネーブル信号によってターゲット・アプリケーション用のアドレスを再生成。
- Burst 転送時の Address 制御：
Memory 転送時、Linear Address Increment 受付(AD[1:0]=00)時、スタート・アドレスよりデータ・フェーズ毎にアドレスを +4 インクリメントします。

I/O転送の場合、アドレス下位2ビットが0で、かつ全てのバイトレインが有効である場合 (BE[3:0]=0000)のみバースト転送を受け付けます。この際のアドレス生成は、固定もしくはリニア・アドレスインクリメントをレジスタの設定により選択可能です。その他の組み合わせの場合、最初のデータアクセス時にDisconnectを発行し終了します。

固定Addressing Modeを選択した場合は、4Byte空間の固定アドレスとして扱われます。

2-2-2. データ制御

PCI バスの占有率を抑えるため、**Dual PORT RAM** を R/W 独立に採用しました。

Write 転送時は、同空間を使用した **Posted WR** 転送が行われ、Read 転送において、Latency 内でのアクセスが出来ない場合、**Prefetch RD - Delayed RD** 転送を実行させ、PCI - Local 間の転送を時分割に処理します。

アプリケーション側とのデータのやり取りは 8 / 16 ビット・バスで行われ、PCI 側からの有効バイトの情報により、**Data Swap** 処理を行います。

2-2-2-1. READ 制御

(1) Direct RD 転送：

PCI-Local 間の Read 転送は、基本的に **Direct RD 転送**が行われます。但し、Latency の要求内でアクセス出来ない場合(または、PCI RD Mode 設定時)は、PCI 側に対し、Retry/Disconnect without Data 終了し、一旦アクセスを終了させます。

Direct RD とは、PCI の Latency 範囲内での RD 転送をいいます。

Initial Latency Disable 設定では、PCI 側が要求した Byte 情報が Local 側からの Read されるまでこの状態が継続されます。

Direct RD 可能な Local Bus Wait 数

Local Bus Cycle 数	Initial Latency ON	Initial Latency OFF
Single Bus Cycle	2 Wait 以下	制限無し
Double Bus Cycle 以上	合計 2 Wait 以下	制限無し

PCI から Burst RD 転送があった場合、Prefetch Enable で 0 Wait(AW/DW/HOLD=0)の場合のみ Direct RD にて転送可能です。

Direct Buffer： 1 × 32bit

(2) Prefetch RD - Delayed RD 転送 :

PCI が Time Out が発生した場合、Read 中のデータは **Prefetch Buffer** 領域に格納され **Delayed RD 転送**による再アクセスを待機します。また、アクセス空間が Memory であり、Prefetch Enable 状態である場合は、設定したカウント数分の Prefetch Cycle を起動させ、Prefetch Buffer に引き続きデータを格納します。

尚、CACHE 格納領域がフル状態になった時点で、**Prefetch Cycle** は終了します。

但し、この場合においても PCI 側からの Direct RD は受付可能です。同アクセス中に Retry/Disconnect 状態になった場合は、格納スペースが無いため RD データは破棄されます。

Prefetch Bufferの動作 :

・ I/O 及び Prefetch Disable 時の Memory サイクル

Latency Time Out 時点での有効Byte Laneのみ継続してPrefetchします。

Burst RD 時は、各データ・フェーズ毎に PCI 側の有効 Byte Lane 情報(C/BE#)を判別しなければならず、現在起動中の Local Bus Cycle を一端保留状態 (Pending 処理) にし Byte Lane 情報の獲得後、再起動させる手続きをとります。また、無効データ・フェーズを検出した場合は、Local Bus に対して SKIP 処理を施します。

・ Prefetch Enable 時の Memory サイクル

Single アクセス時の Latency Time Out 時(FRAME#=1)は、Prefetch Counter は起動されず、現行のデータ・フェーズに対する有効 Byte のみ Prefetch されます。

PCI RD Mode設定時は、PCIからのREAD要求受付後、直ちにRetryを発行し、Prefetch Counterが起動されます。この際のLocalアクセスは、1st データ・フェーズに対しては、PCI からLatchした有効Byte Laneの情報を元にアクセスされますが、2nd データ・フェーズ以降は、全バイト有効として処理されます。

Delayed RD が、Prefetch Cycle 実行中のフレーム情報に対して成立した場合、その時点までに Prefetch Buffer に格納したデータを PCI 側に引き渡し、Prefetch Cycle は強制終了します。

Delayed RD が現在格納中のデータ数より多くのデータを要求した場合、直ちに Disconnect without Data 終了し、新たなターゲット・アドレス、有効 Byte Lane 情報を Latch し、Prefetch 予約されます。

・ Prefetch Buffer の管理

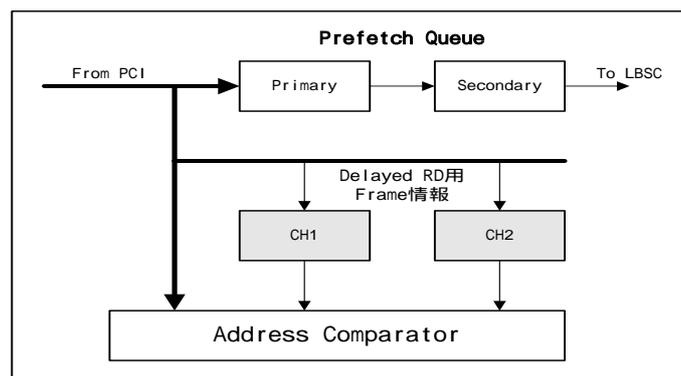
複数 Master Device からのアクセスを考慮し、2 要因までの情報を管理します。

Prefetch の制御は、Primary / Secondary からなる 2 段構成の **Prefetch Queue** によって管理されています。

PCI からの情報は、Primary 側に登録されることで **Prefetch 予約**となります。この時、Secondary 側に登録データがなければ同情報は、Secondary 側にシフトされ **Prefetch 確定**状態となります。確定状態とは、Local 側に Prefetch Cycle が起動されることを意味します。

Delayed RD に対する管理は、2 チャンネルの独立したフレーム情報によって行われます。

フレーム情報とは、Address/PCI Command/Prefetch 状態 (予約 / 確定、格納チャンネル等) を示し、PCI アクセスが同フレーム情報と一致した場合に Delayed RD が成立します。



Prefetchデータ格納領域は最大**48 Byte**確保できます。領域を**最大2チャンネル**に分割し、独立制御が可能になっています。

両チャンネルとも既に Prefetch データが格納されている場合、別の PCI アクセスがあると Dead Lock 状態に陥る可能性があります (Disconnect 終了したデータは必ずしも再アクセスが起動されるとは限りません)。この状態を回避するために PCI アクセスを受けなかったフレーム情報を自動的に順次破棄させる **Discard Counter** をチャンネル毎に内蔵します。

Prefetchデータ格納後、**2 回目**の PCI-RD サイクル(Direct RD)までに格納したチャンネル情報に HITしなかった場合は、同格納データを自動的に破棄します (**DISCARD処理**)。

尚、Direct RD が Latency 範囲内で終了した場合は、DISCARD カウントから除外されます。

Prefetch RD と Delayed RD 転送は同時処理可能とします。

RD CACHE(Prefetch Buffer) : 12 × 32bit Dual Port RAM (同時読み書き可能)

動作モード

- ・ Delayed RD Mode
- ・ Pre-fetch RD Mode

(3) Direct I/O Pre-RD - PCI INT RD 転送 :

本チップでは、上記の PCI 主導 RD 転送の他にアプリケーション主導のデータ転送(**Direct I/O Pre-RD**)をサポートします。

これは、PCI からの Read アクセスがある以前に I/O データを先読みし、内部バッファにデータ格納後、割り込み(Half/Full)、またはステータス・ポーリングにより PCI-RD サイクルを起動させる(**Direct I/O RD Mode**)もので、大容量のアプリケーション・データを PCI 側に転送する際に有効となります。

内蔵レジスタに対象となるターゲット・レジスタのアドレス固定値((DIO Address:偶数アドレス)、レジスタ幅の設定可)設定し、2本のハンドシェイク信号(**IORREQ# / IORACK#**)によってターゲット・アプリケーションとのインターフェースをとります。

Local アクセスに対しては、設定したアドレス(DIO Address)が固定値として出力されます。ステータス状態(EMPTY/FULL)、またはデータ領域の Half/Full 状態で発生する割り込み要求によって起動された PCI 側からのアクセスを **PCI Interrupt RD Mode** と呼び、PCI からの Address が設定した DIO Address と一致した場合で、かつ有効データが同領域に格納されている場合に成立します。

PCI INT RD 動作では、DIO Address を基準とした Byte/Word/D-Word 転送が可能。

Direct I/O RD、PCI Interrupt RD Mode の同時処理可能とするが、下記の条件においては、受付保留とします。

動作モード	受付保留状態
Direct I/O Pre-RD	・ データ格納領域 FULL 状態
PCI INT RD	・ データ格納領域 EMPTY 状態

同空間への PCI 側からのアクセスは、Local Configuration レジスタに設定した Direct I/O Address レジスタの設定値と PCI 先頭アドレスが一致した場合で、かつ同空間に有効データが格納されている状態(Empty=0)で成立します。

Empty 状態でのアクセスは、Direct RD 動作として扱われ、Latency 内で返答出来なかった場合は、Prefetch 用データ領域に格納されます(Delayed RD と PCI INT RD が競合した場合は、Delayed RD が優先されます。但し、この場合の Delayed RD の終了時に Prefetch Cycle に移行することは有りません)。

Direct I/O Pre-RD Buffer :

Direct I/O Pre-RD されたデータは、RD CACHE 内に確保された Double Word の FIFO (DIO 領域) の下位バイトから順次格納されます。

DIO 領域は、Line Pointer と Column Pointer により Byte 単位に管理され、設定した領域の Half または Full Point (固定 Point) によって割り込み発生が可能になっています。

PCI INT RD 動作時は、DIO 領域に格納された Byte データを下記ルールに基づき **Data Swap** 処理が施され、PCI 側に引き渡されます。

Data Swap は、Column Pointer によって有効バイトを選択し、PCI 側からの Byte Enable 情報によってドライブさせるバスを選択します。

DIO Addr[1:0]=00Bの場合 : Single / Burst RD可

- PCI Byte Enable: 0000/1100/1110

(注 : BE=1000 を検出 1100 として処理、その他の組み合わせは、DIO アクセス・ルール違反)

転送 Byte	BE#	Column Pointer	Swap Control			
			HH	HL	LH	LL
Double W	0000	00	[31:24]	[23:16]	[15:8]	[7:0]
Word	1100	00			[15:8]	[7:0]
		10	[15:8]	[7:0]		
Byte	1110	00				[7:0]
		01			[7:0]	
		10		[7:0]		
		11	[7:0]			

DIO Addr[1:0]=10Bの場合 : Single可 / Burst RD不可

- PCI Byte Enable: 0011/1011 (その他の組み合わせは、DIO アクセス・ルール違反)

転送 Byte	BE#	Column Pointer	Swap Control			
			HH	HL	LH	LL
Word	0011	00			[31:24]	[23:16]
		10	[31:24]	[23:16]		
Byte	1011	00				[23:16]
		01			[23:16]	
		10		[23:16]		
		11	[23:16]			

PCI INT RD 時の各データ・フェーズ毎に要求バイト数 (Data Bus 幅) を可変にしてのアクセスは禁止

例 : WORD BYTE WORD etc.

Local Bus 幅 8 ビット指定時、DIO Register Size の 16 ビット指定は禁止 (8 ビットとしてアクセスされます)

Direct I/O Pre-RD 起動中に何らかの理由により、設定もしくは転送をし直す必要がある場合、必ず RD FIFO Flush Command 発行の上、その後の手続きを踏むこと

Space Full/Half 割り込み

同空間データの PCI 側への引き渡し方法の一つとして、割り込み処理をサポートしています。PCI 側の同空間へのアクセス条件の変更により、従来の Space Full 状態での割り込みではデータの取りこぼしが懸念されます。そのため、Space Half 状態での割り込みポイントを追加します。Full / Half 割り込みの選択は、Local Config Virtual Space にマッピングされている Internal Interrupt Control Register に制御ビットを設け選択可能とします (Bit3: 0 - Half / 1 - Full: Reset 時は Half とします)。

Half割込みについて：

Direct I/O 用データ格納領域は、プログラブルにスペースを可変(Min 0Byte – Max 32Byte)に設定できるため、Half ポイントを RD FIFO Space Register の内容より下記 8 通りの Half Point 値の何れかを同レジスタの FIFO Enable Bit(Bit 15)がセットされた段階でロードし、アプリケーション側からのデータ転送数を管理する DIOP(Byte Lane : Line) / DIOBC(Byte: Column)の値が Half Point 値と一致した場合、割込み要求を発行させます。

RD FIFO Space Control Reg								Direct I/O Space	Half Space	Half Point	
7	6	5	4	3	2	1	0			DIOP	DIOBC
0	0	0	0	0	0	0	1	4 byte	2 byte	0000	10
0	0	0	0	0	0	1	0	8	4	0001	00
0	0	0	0	0	1	0	0	12	6	0001	10
0	0	0	0	1	0	0	0	16	8	0010	00
0	0	0	1	0	0	0	0	20	10	0010	10
0	0	1	0	0	0	0	0	24	12	0011	00
0	1	0	0	0	0	0	0	28	14	0011	10
1	0	0	0	0	0	0	0	32	16	0100	00

Half 割込みを選択した場合、DIOP ポインタの動作から割込みポイントを上記 Half Point と、従来の Full 状態での 2 ポイントで割込み要求を発行

動作モード

- ・ Direct I/O Pre-RD Mode
- ・ PCI INT RD Mode

(4) FIFO Space Sharing 機能：

APIC21 では、限られた RD CACHE スペースを有効利用するために、同データ領域をプログラマブルに Prefetch Data 領域と DIO Data 領域に区分 (DWORD 単位) し、独立的な制御が可能となっています。

Local Configuration 空間にマッピングされた RD FIFO Space Control レジスタの設定により、RD CACHE 内のデータ領域(48 Byte)を Prefetch / DIO 領域に区分します。

- ・ Prefetch 用： Min: 16 byte Max: 48 byte
- ・ DIO 用： Min: 0 byte Max: 32 byte

2-2-2-2. WRITE 制御

Write 時は、Local Bus の状態に依存することなく、PCI からの WR データを内蔵した WR FIFO に格納することで、PCI バスの占有率を最小限に抑えています。

Write データは、PCI フレーム単位に管理され、最大 3 種類の異なるフレーム情報 (先頭アドレス、アクセス空間、有効バイト、データ) を確保します。

Write 転送は、**Posted WR** 転送を基本としますが、FIFO が Empty 状態の場合は PCI からの WR アクセスの検知と同時に Local アクセスを施す **Direct WR Mode** をサポートし高速アクセスに対応しています (現行 PCI アクセスと同時に Local WR アクセスが実施されます)。

また、データの有効性を重視する場合は、Local Configuration 空間に Mapping された Adapter Control レジスタ : **Data Parity Mode ビット** の設定によって、Data Parity Error 検出時の処理を指定できます。

Parity Error を Application 側に反映させないモードを選択した場合のシーケンスは、フレーム単位 (または、FIFO Full 時点) 毎に Parity Error の有無を判別して Application 側にアクセスを施します (この場合は、上記の **Direct WR Mode** は実施できません)。

PCI Spec. で定義される Delayed WR 転送は、APIC21 ではサポートしていませんが、Adapter Control レジスタ : **PCI WR Completion Mode** を選択することで、1 データ単位に Application 側にアクセスすることが可能になります。Application 側にデータを書き込むまで、PCI アクセスに対し Retry / Disconnect without Data 終了を繰り返すことにより、WR データを保証します。

FIFO フル状態になると、PCI の転送に対し、Retry/Disconnect 要求を発行します。

WR FIFO : 8 × 32bit Dual Port RAM (同時読み書き可能)

動作モード

- Posted WR Mode
- PCI Direct WR Mode

データ処理

Buffer Type	Access Mode	Address (From)	Source Data	Destination
Direct RD	PCI Direct RD (PDTR)	PCI	Application	PCI
RD FIFO	Pre-fetch RD (PRFR)	PCI	Application	RD FIFO
	Delayed RD (DLYR)	PCI	RD FIFO	PCI
Direct I/O	Direct I/O Pre-read (IOPR)	Adapter	Application	Direct I/O
	Interrupt RD (INTR)	PCI	Direct I/O	PCI
WR FIFO	Posted WR (PSTW)	PCI	PCI	WR FIFO -> APPL

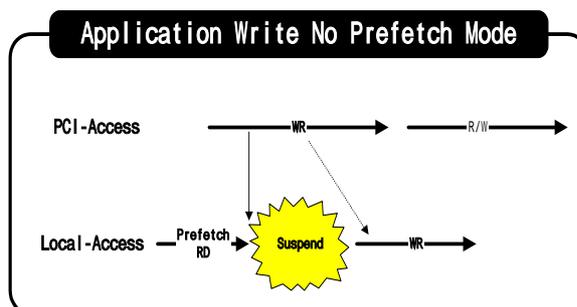
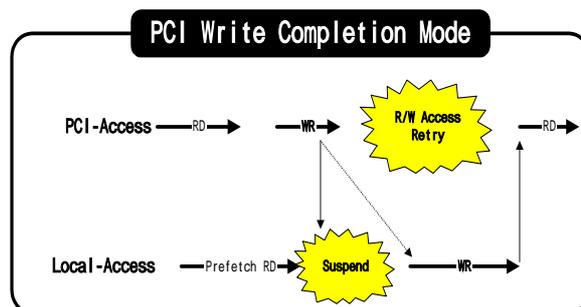
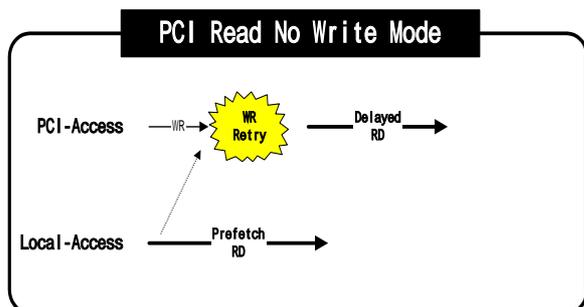
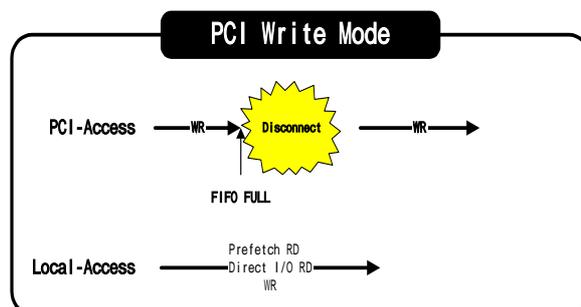
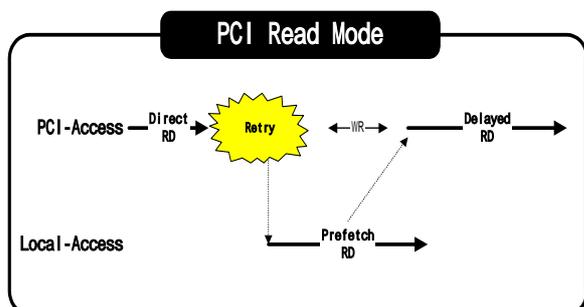
同時処理 (: 処理可能)

	PDTR	PRFR	DLYR	IOPR	INTR	PSTW
PDTR	-					
PRFR		-				
DLYR			-			
2 IOPR				-		
INTR					-	
PSTW						-

2-2-3. ステート制御

内部レジスタの設定と内部状態により、ターゲット・アプリケーションへのアクセス優先順位を変更可能です。

Mode	Description
PCI Read Mode	RD サイクル受付時、直ちに Retry を発行し、Prefetch データを RD FIFO に格納し、PCI 側からの再アクセスを待つ
	Latency 要求範囲内で Read Data が読み出されるのを待つ
PCI Read No Write Mode	Prefetch データ領域上に有効データが格納された状態で PCI から Write 要求が起こった場合に Retry を発行
	Write 要求を受付
PCI Write Mode	WR FIFO がフル状態時に直ちに Retry/Disconnect 要求を発行
	Latency 要求範囲内で FIFO の空きを待つ
PCI Write Completion Mode	WR データに対する Application 側との同期をとる時に使用する。Burst 転送時は、最初のデータ・フェーズ WR 後、Disconnect を発行。WR されたデータが Application 側へ書き込まれるまで、その後の全ての PCI アクセスの受付禁止(Retry)
	引き続きデータの受付
Application Write No Prefetch RD	PCI 側より WR データが転送された場合、現在起動中の Prefetch RD サイクルを終了させ、WR サイクルを優先させる
	PCI 側からのアクセスは受け付ける 現在起動中の Prefetch RD サイクルが終了するまで WR サイクルは保留状態



2-3. Local Control ブロック

2-3-1. Local Address Control

Local Address の物理アドレスの生成は、Local アクセスの権利を得たリソース・アドレスを Reference Address として Latch し、このアドレスを基準にデータ・フェーズ毎の有効バイト情報 (C/BE#) から、Local Bus 幅の設定に応じたアドレス値を計算 (0, +1, +2, +3) します。

但し、Prefetch Enable 状態での Memory RD 転送では、全バイト有効として処理が行われます。

PCIから連続したアクセスがあった場合：

- ・ Addressing Mode が **Linear Increment Mode** に設定してある場合、データ・フェーズ(4Byte 単位) 毎にアドレス値を +4 ずつ Count Up し、Reference Address を更新し対応します。
- ・ I/O アクセスにおいて**固定アドレス・モード**が指定されている場合、データ・フェーズの切り替わり目で Reference Address を更新されることなく保持させます。

Local加算器は8ビット構成になっているため、256Byte を超えるLocalアクセスが発生した場合は、その時点で強制終了終了 (Burst 転送、Memory Prefetch サイクル) し、PCI 側からの再アクセスを待機します (Reference Address 更新が必要)。

- ・ Memory サイクルの有効アドレス： TA[16:0]
- ・ I/O サイクルの有効アドレス： TA[7:0] (TA[16:8]は不定アドレス)

2-3-2. Chip Select 信号処理

空間	CS 信号	
Memory	MEMCS#	PCI Config Reg: Base Address Reg2 で設定した 128K バイト空間セレクト
I/O	IOCS#0-15	PCI Config Reg: Base Address Reg1 で設定した 256 バイト空間を最大 16 分割可能。アドレスデコードサイズはバイト単位 (Max: 256 Byte)に設定可能
Expansion ROM	ROMCS#	PCI Config Reg: Expansion ROM Base Address Reg で設定した空間

I/O Chip Select 信号 : IOCS#0-15 のタイミング制御を可能とし、それぞれ独立に Address、Read または WR Strobe のタイミング選択可能。これにより、外部デコード回路等の外付け回路が不用になる効果が期待できます。

ターゲット・アドレスの上位 8 bit(TA[16:9])と IOCS#[15:8]はマルチプレクスされており、レジスタの設定により 4 ビット単位に選択可能。

2-3-3. ローカルバス制御

- ・ データ幅： 8/16 ビットの設定可能
- ・ Local バスの優先順位：

WR > Direct RD > Direct I/O Pre-RD > Memory Pre-fetch RD

- ・バスサイクル制御：
 - タイミング制御：

アクセス空間 (Memory, I/O)、Read/Write 転送毎に Address Wait / Data Wait / Hold Time の設定が可能です。

Application 側から、**IORDY** 信号をアサートすることで、Data Wait を挿入することができます。IORDY のサンプリング・タイミングは、レジスタ設定によって定義された Data Wait に従う Command 終了点の 1 / 2 BCLK (BCLK) で行います。
 - Direct I/O Pre-RD 時のハンドシェイク制御：

Direct I/O Pre-RD サイクルが受け付けられたことを示す IORACK#信号は、Address タイミングで出力されます。

De-assert タイミングは、設定された WAIT 数 / HOLD Time に依存し、Chip Select 信号と同タイミングで行われます。

シーケンシャルな IORREQ#信号が入力された場合、各サイクル毎に必ず 1BCLK 分のリカバリ・タイムが挿入されます。

2-4. Peripheral ブロック

2-4-1. Interrupt Controller

PCI は、割り込み Sharing を許可しています。

APIC21 では、マスク可能な 4 本の外部割り込み及び 3 本の内部割り込み要因をサポートします。

割り込みリソースからの要求を検知した場合、Local Configuration 空間にマッピングされた

Interrupt Flag レジスタの対応ビットに反映され、PCI 割り込み INTA#を Active 状態にします。

複数の割り込み要求が同時に起こった場合、優先順位の最も高い要因のみ Flag レジスタに反映され、同ビットが割り込みサービス・ルーチンにてクリア (Interrupt Clear レジスタの対応ビットをセット) されるまで保持しつづけます。これらの制御により、割り込み処理プログラムの簡略化を実現させます。

2-4-1-1. 外部割り込み要求:IRQ[3:0]

Polarity (Active-Low/High) / Type(Edge/Level) / Priority の設定がそれぞれ可能です。

- ・ Edge Mode :
 - 最大 2 つの割り込みイベントを保持
 - 割り込みクリア信号を 2 BCLK 期間出力
- ・ Level Mode : 2 つの割り込みクリアの方法をサポート。
 - (1) Interrupt Clear レジスタによる割り込みクリア
IRCAx は、対応する IRQx 信号の De-assert 状態検知後にリセット
 - (2) アプリケーション側の割り込みリソースのクリア動作による IRQx の De-assert 状態の検知により自動的に Flag レジスタの対応ビットをクリア
Level Mode の場合、Application 側に割り込みマスタが存在することが想定でき、これにより、二重のクリア動作を回避します。

2-4-1-2. 内部割り込み

- ・ RD CAHCE, WR FIFO における致命的問題が検出された場合に発生されます。また同状態に陥った場合は、割り込みリソースのデータ領域を自動的にリセットすると共に、PCI 転送中の場合は、“TARGET ABORT”を発行します。
- ・ 設定された DIO データ領域の Half / Full ポイントの状態により、Direct I/O Pre-RD Enable 時に割り込みが発生します。

2-4-2. 汎用タイマ

- 31 ビット汎用タイマ
- カウント周期： 0.48 μ S (PCI Clock-16 分周)
- 制御クロックはレジスタの設定により、PCI / 外部クロック(TCLK)入力の選択が可能。
TCLK 選択時の最大入力周期は、33MHz

Timer Count レジスタ : **Timer Enable ビット** セット後、同レジスタに設定したカウント値をダウンロードし、カウント開始。ポローを検出した場合、外部端子 : TOUT#を 1 ショットアサート (タイマ・クロック 1 周期) し、そのステータスを Adapter Status / Recovery レジスタの Timer Borrow ビットに反映させます。また、Borrow の検出によってカウント値を再ロードし、Timer Enable ビットが Disable 状態になるまでカウントを繰り返します。レジスタに反映されたステータス・フラグは、ソフトウェアによりクリア・ビットがセットされるまで保持します。

2-4-3. シリアル EEPROM Control ブロック

シリアル EEPROM(電源投入時またはシステム・リセット時の APIC21 内蔵レジスタの初期化データを登録)とのインターフェース制御を施します。

PCI ホスト側より、Local Configuration 空間にマッピングされた EEPROM Control レジスタにアクセスすることで、シリアル EEPROM の Read/Write が可能。

1. 初期イニシャライズの実行

電源投入時またはシステムリセット時にシリアル EEPROM よりデータを RD し内蔵レジスタ(PCI Configuration Register / Local Configuration Register)に初期値を設定。

初期イニシャライズ中は、PCIからのアクセス禁止 (Retry応答)。

2. 初期イニシャライズの中止

シリアル EEPROM の最初の RD シーケンスにおいてダミービット (論理: 0) が検出されなかった場合、または Vender ID に相当するデータが FFFFh を検出した場合、直ちに初期イニシャライズ・ルーチンを中止。この時、内蔵レジスタは Reset 値を保持。

3. シリアル EEPROM のクロック

PCI クロックの 48 分周 (33MHz 時 : 1.44 μ S)。

4. シリアル EEPROM のアドレスサイズ自動認識

最初の RD シーケンスにおけるダミービットのサンプリング・ポイントでシリアル EEPROM のサイズを自動認識。

(1K/2K/4K ビット-Serial EEPROM サポート)

5. イニシャライズ・データの分割

Serial EEPROMのデータ設定値によってイニシャライズ・サイクルを中断させることが可能。

イニシャライズ・シーケンス

- (1) PCI Configuration 空間
- (2) Local Configuration 実空間
- (3) Local Configuration 仮想空間

Serial EEPROM: Addr=0Ch Initialize Control Bit=1 を検出した場合は、Local Configuration 実空間イニシャライズ後、サイクル終了し、Local Configuration 仮想空間は RESET 値を保持。

6. シリアル EEPROM の MASK

外部端子の MASK#信号により、シリアル EEPROM のデータのリード/ライトを禁止可能。ただし、MASK#信号の状態に関わらず、初期イニシャライズは実行されます。

7. シリアル EEPROM のデータサイズ

シリアル EEPROM リード時のデータサイズは、16 ビット幅固定。

また、シーケンシャルリードは行われません。

■ 使用可能シリアル EEPROM

容量 1Kbit 又は 2Kbit の 3-wire シリアル EEPROM 93xx シリーズ (Microwire Bus Interface) 相当品

■ シリアル EEPROM データフォーマット

EEPROM Offset	Register Description	Note	No Initialized Register Value
00h	Vendor ID		136Ch
01h	Device ID		0001h
02h	Programming Interface Code	(High Byte)	00h
	Revision ID	(Low Byte)	00h
03h	(High) Base Class Code		06h
	(Low) Sub Class Code		80h
04h	Base Address Register1	I/O 空間用アドレスレジスタ <ul style="list-style-type: none"> ・ bit0:I/O デコード 不可 ・ bit1:NC ・ bit7-bit2:デコード アドレスセレクト(A7-A2) ・ bit15-bit8:NC 	F1h
05h	Base Address Register2	メモリ空間用アドレスレジスタ <ul style="list-style-type: none"> ・ bit0:メモリ デコード 不可 ・ bit2-bit1:メモリ ロックタイプ ・ bit3:プリアッチ 不可 ・ bit15-bit4:デコード アドレスセレクト (A16-A5) 	0000h
06h	Subsystem Vendor ID		0000h
07h	Subsystem ID		0000h
08h	ExpansionROM Base Address	拡張 ROM 用アドレスレジスタ <ul style="list-style-type: none"> ・ bit0:ROM デコード 不可 ・ bit1:NC ・ bit7-bit2:デコード アドレスセレクト (A16-A11) ・ bit15-bit8:NC 	00h
09h	(High) Interrupt Pin	インタラプト Pin セレクトレジスタ <ul style="list-style-type: none"> ・ bit0:INTA#ライン 不可 ・ bit7-bit1:NC 	01h
	(Low) Adapter Control Register	(Local Configuration Register Space)	38h
0Ah	LocalControlRegister Low Byte	(Local Configuration Register Space)	0000h
0Bh	LocalControlRegister High Byte	(Local Configuration Register Space)	B65Bh
0Ch	(High) Initialize Control	インチャライズ コントロール <ul style="list-style-type: none"> ・ bit0:インチャライズ 終了フラグ “1” インチャライズ 終了 “0” インチャライズ 続行 仮想空間レジスタのインチャライズ bit7-bit1:NC	-
	(Low) Internal Interrupt Control	(Local Configuration Register Space)	00h
0Dh	External Interrupt Control	(Local Configuration Register Space)	0000h
0Eh	IOCS Enable Timing Low Byte	''	0000h
0Fh	IOCS Enable Timing High Byte	''	0000h
10h	IOCS0 Address Decode	''	0000h
11h	IOCS1 Address Decode	''	0000h
12h	IOCS2 Address Decode	''	0000h
13h	IOCS3 Address Decode	''	0000h
14h	IOCS4 Address Decode	''	0000h
15h	IOCS5 Address Decode	''	0000h
16h	IOCS6 Address Decode	''	0000h
17h	IOCS7 Address Decode	''	0000h
18h	IOCS8 Address Decode	''	0000h

19h	IOCS9 Address Decode	"	0000h
1Ah	IOCS10 Address Decode	"	0000h
1Bh	IOCS11 Address Decode	"	0000h
1Ch	IOCS12 Address Decode	"	0000h
1Dh	IOCS13 Address Decode	"	0000h
1Eh	IOCS14 Address Decode	"	0000h
1Fh	IOCS15 Address Decode	"	0000h
20h	Multiplex Control	"	00h
21h	RD FIFO Space Control	"	0000h
22h	Timer Count Register: Low Byte	"	0000h
23h	Timer Count Register: High Byte	"	0000h

No Initialized Register Value : シリアル EEPROM によるイニシャライズが行われなかったときの Target Adapter 内の各種レジスタの値を示します (Reset 時の状態)。

2-5. クロック制御

PCI クロックをベースに各ブロック制御用のクロックを生成します。

なお、汎用タイマ用の制御クロックは、レジスタの設定により PCI/外部クロックの選択可能とします。

周期	PCI CK 分周	対象
60nS	2	Application(BCLK)
0.48 μ S	16	Timer
1.44 μ S	48	Serial EEPROM(EESK)

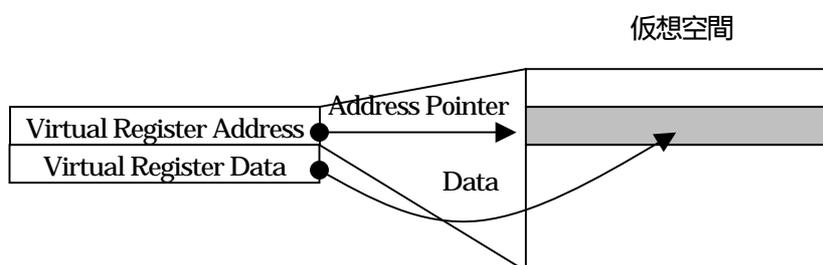
2-6. Local Configuration Register

アダプタ・チップ固有の制御設定をローカル・コンフィグレーション空間(Base Address Reg0)で行います。この空間へのアクセスは、PCI-ホスト側及び、シリアルEEPROMより可能です。アクセス・データはR/W FIFOに格納されることなくPCIからの直接制御によって行われます。

実空間レジスタ

REGISTER				Offset(HEX)
Interrupt Clear	Interrupt Flag	Adapter Status	Adapter Control	00h
Local Control Register				04h
Virtual Register Address				08h
Virtual Register Data				0Ch

Configuration Register の実空間を 16 バイトに押し、52 バイトの**仮想空間**を任意のアドレス空間へのマッピングを可能とし、システムの便宜性を図ります。



Virtual Register Address に対象となるレジスタ・アドレスを設定し、**Virtual Register Data** に対する R/W によって仮想空間の対象レジスタにアクセスします。

仮想空間レジスタ

REGISTER			Offset(HEX)
External Interrupt Control	Internal Interrupt Cntr	EEPROM Cntr	00h
IOCS Timing Control			04h
IOCS1 Address Decode	IOCS0 Address Decode		08h
IOCS3 Address Decode	IOCS2 Address Decode		0Ch
IOCS5 Address Decode	IOCS4 Address Decode		10h
IOCS7 Address Decode	IOCS6 Address Decode		14h
IOCS9 Address Decode	IOCS8 Address Decode		18h
IOCS11 Address Decode	IOCS10 Address Decode		1Ch
IOCS13 Address Decode	IOCS12 Address Decode		20h
IOCS15 Address Decode	IOCS14 Address Decode		24h
Adapter Revision	Multiplex Cntr	RD FIFO Space Cntr	28h
Timer Count			2Ch
Test Mode	Debug Register		30h

実空間コンフィグレーション・レジスタ

- 1 . Adapter Control/Status Register:
 - 転送優先処理の設定
 - ソフトウェア・リセット
 - R/W FIFO Full/Empty, Timer Borrow
 - R/W FIFO Flush, Timer Clear
- 2 . Interrupt Flag Register:
 - 4本の外部割込、3本の内部割り込み要求をラッチ、ホスト側からの割り込みリソースの判別を簡略化。Interrupt Control Registerの割り込みクリアビットをセットする事によりリセットされます。
- 3 . Interrupt Clear Register:
 - 割り込みクリア
- 4 . Local Control Register:
 - ローカルバスの設定：バス幅(8/16)
 - Memory/IO空間R/Wストロブ信号毎のタイミング/WAIT制御
 - Memory Prefetch制御：(Enable/Disable, サイクル数)
 - Direct I/O Pre-read制御：(Enable/Disable, Target Register Address/Width)
 - Clock制御
- 5 . Virtual Register Address
 - 仮想空間領域レジスタのアドレス設定(Address[1:0]=00)
- 6 . Virtual Register Data
 - 仮想空間領域レジスタへのアクセス
ホスト側からみて、同レジスタへR/Wすることでそのフェーズに対するByte Enable信号を判別し、Virtual Register Addressに設定した対象レジスタとアクセスします。

仮想空間コンフィグレーション・レジスタ

- 1 . EEPROM Control
 - EEPROMのR/W制御、ステータス
- 2 . Internal Interrupt Control
 - 割り込みマスク
 - アプリケーション割り込み要求のタイプ指定：エッジ/レベル・タイプ
 - 優先順位の設定
- 3 . External Interrupt Control
 - 割り込みマスク
 - アプリケーション割り込み要求のタイプ指定：エッジ/レベル・タイプ
 - 優先順位の設定
 - polarity制御(Active – Low/High)
- 4 . IOCS Timing Control
 - I/O Chip SelectのEnable タイミングの制御(Address/IOR#/IOW#)

- 5 . IOCS0-15 Address Decode
 - IO Address / Address Decode Range の設定により Max: 256 Byte / Min: 1Byte 空間の選択
- 6 . RD FIFO Space Control
 - RD FIFO データ領域内の Prefetch Rd / Direct I/O Pre-RD 用領域の区分
- 7 . Multiplex Control:
 - 8bit Multiplex バスの選択(TA16-8 / IOCS#15-8)
- 8 . Adapter Revision :
 - アダプターチップの Revision No. (00H 固定)
- 9 . Timer Count
 - Timer Enable
 - 32 ビットタイマのカウント値を設定

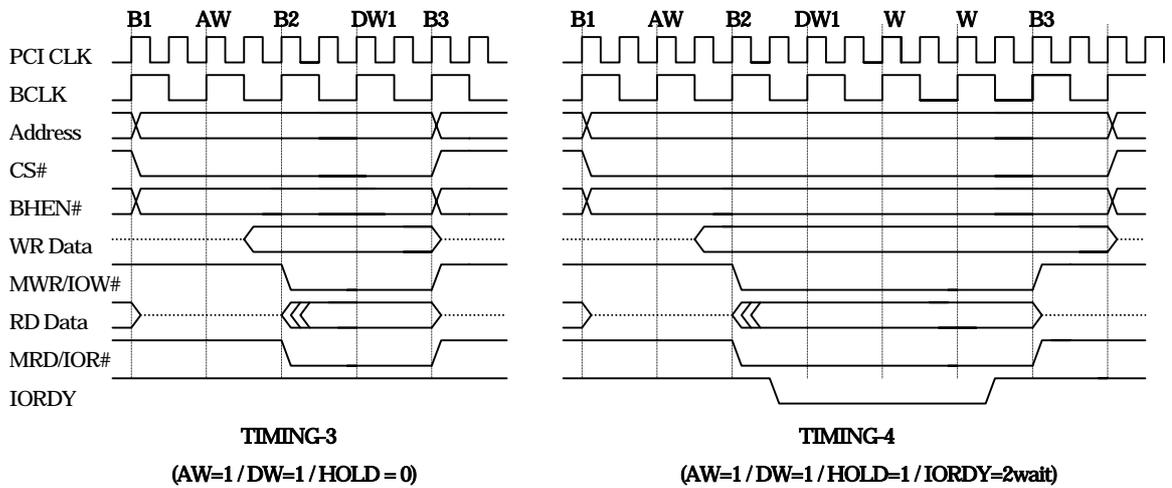
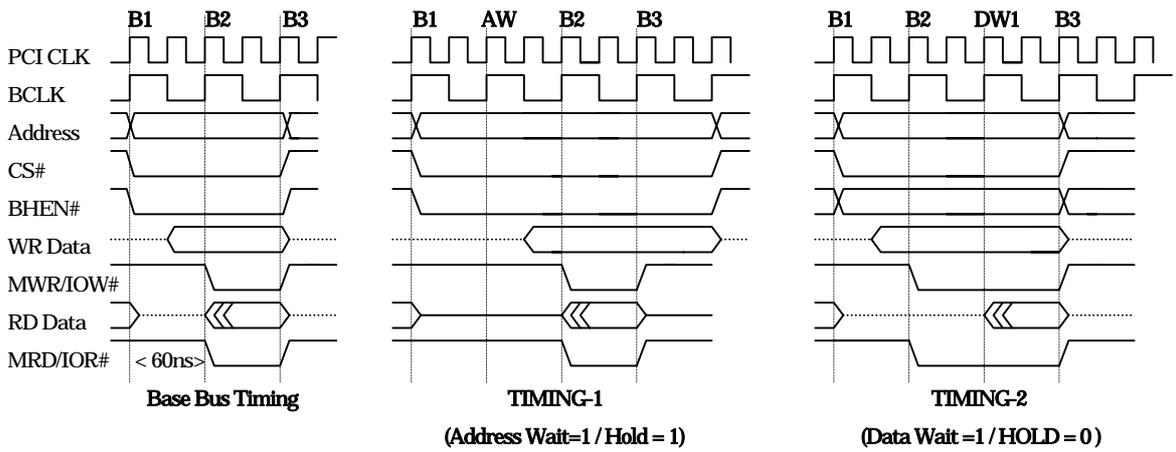
Local Configuration レジスタ・アクセスのルール

Local Configurationレジスタ空間は、システムのI/O空間にマッピングされており、各レジスタに対するバイト単位でのアクセスが可能です。但し、下記のルールに基づきアクセスを行う必要があります。

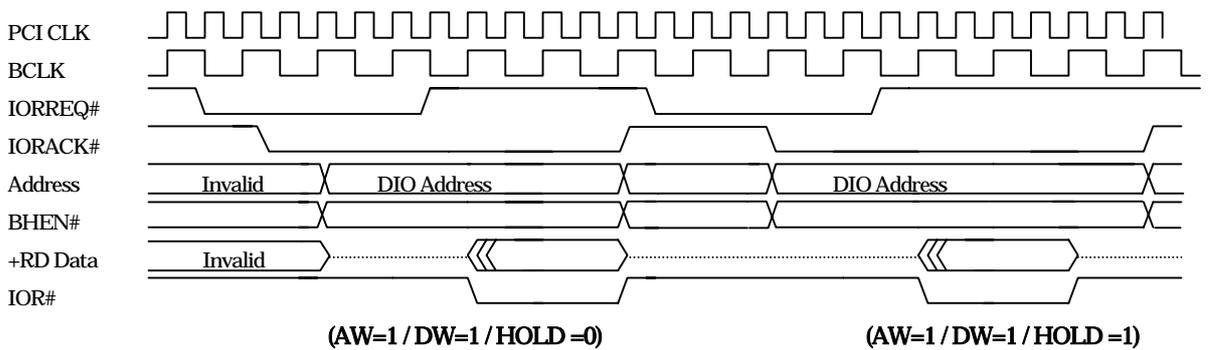
- ・対象レジスタは、**アドレスと Byte Enable** の論理により判別
- ・選択されたバイトレイン (アドレス: 4 Byte 上) のレジスタへの **D-word/Word/Byte アクセス** 可能
- ・**I/O バーストアクセス**は、**アドレス[1:0]=00b** かつ **Byte Enable[3:0]=0000b** の場合のみ可能
Addressing Mode は、リニア Mode (+4 インクリメント)
その他の場合は、シングル転送として処理 (Disconnect 終了)

仮想空間へのアクセスは、**Virtual Register Address**に**対象仮想レジスタのアドレス(Byte Lane)**を設定し、**Virtual Register Dataレジスタ** アクセス時の**Byte Enable**信号の論理により、有効バイト先のレジスタにアクセスします。

3. バス・R/W タイミング



MEMORY / IO Bus Cycle



Direct I/O Pre-RD Cycle

4. LOCAL CONFIGURATION REGISTER

実空間レジスタ

REGISTER				Offset(HEX)
Interrupt Clear	Interrupt Flag	Adapter Status	Adapter Control	00h
Local Control Register				04h
Virtual Register Address				08h
Virtual Register Data				0Ch

仮想空間レジスタ

REGISTER			Offset(HEX)
External Interrupt Control	Internal Interrupt Cntr	EEPROM Cntr	00h
IOCS Timing Control			04h
IOCS1 Address Decode	IOCS0 Address Decode		08h
IOCS3 Address Decode	IOCS2 Address Decode		0Ch
IOCS5 Address Decode	IOCS4 Address Decode		10h
IOCS7 Address Decode	IOCS6 Address Decode		14h
IOCS9 Address Decode	IOCS8 Address Decode		18h
IOCS11 Address Decode	IOCS10 Address Decode		1Ch
IOCS13 Address Decode	IOCS12 Address Decode		20h
IOCS15 Address Decode	IOCS14 Address Decode		24h
Adapter Revision	Multiplex Cntr	RD FIFO Space Control	28h
Timer Count			2Ch
-	-		30h

4-1. 実空間レジスタ: 16 バイト空間

Adapter Control Register:

ADDR: 00H; 8bit

Bit	Description	R/W	Reset
0	PCI Read Mode 1: RD サイクル受付時直ちに Retry を発行し、プリフェッチデータを RD FIFO に格納し、PCI 側からの再アクセスを待つ 0: レテン要求範囲内でリードデータが読み出されるのを待つ	R/W	0
1	PCI Read No Write Mode 1: Prefetch バッファ上に有効データが格納された状態で PCI からライト要求が起こった場合に Retry を発行 0: ライト要求を受付	R/W	0
2	PCI Write Mode 1: WR FIFO がフル状態時に直ちに Disconnect 要求を発行 0: レテン要求範囲内で FIFO の空きを待つ	R/W	0
3	PCI WR Completion Mode 1: WR データに対するアプリケーション側との同期をとる時に使用 バースト転送時は、最初のデータエース WR 後、Disconnect を発行。WR されたデータがアプリケーション側に引き取られるまで、その後の PCI アクセスの受付禁止(Retry) 0: 引き続き WR データの受付	R/W	1
4	Application Write No Prefetch RD 1: PCI 側より WR データが転送された場合、現在起動中の Memory プリフェッチ RD サイクルを終了させ、WR サイクルを優先させる 0: 現在起動中のプリフェッチ RD サイクルが終了するまで WR サイクルは保留状態	R/W	1
5	PCI Initial Latency Enable 1: PCI Initial Latency Rule (16 clock) Enable 0: Disable	R/W	1
6	Data Parity Mode 1: Parity Error 検出時、フレーム・データを無効処理 0: Parity Error の有無に関係なくデータアクセスを実施	R/W	0

7	Adapter Software Reset 1: Reset Enable 0: Reset Disable	R/W	0
---	---	-----	---

Adapter Software Reset Command 発行時の補足：

- ・ Application Reset 信号：TRESET#がアサート
- ・ Command 発行中の PCI アクセスは、Dead Lock を回避するため疑似的に受け付けられません。但し、PCI Config 及び Local Config 空間へは正常アクセス可能です。

Adapter Status / Recovery Register:

ADDR: 01H; 8bit

Bit	Description	R/W	Reset
0	Prefetch RD Buffer Full 1: Full 0: Space Available	R	0
1	Direct I/O RD Buffer Empty 1: Space Empty 0: Space Available	R	0
2	Direct I/O RD Buffer Full 1: Space Full 0: Space Available	R	0
3	WR FIFO Space Full 1: Full 0: Space Available	R	0
4	Detect Timer Borrow 1: ボロ-検出 0:	R	0
5	RD FIFO Flush 1: RD FIFO リセット	W	0
6	WR FIFO Flush 1: WR FIFO リセット	W	0
7	Timer Status Clear 1: タイマ-クリア (Detect Timer Borrow ビットのクリア)	W	0

Interrupt Flag Register:

ADDR: 02H; 8bit

PCI 割り込みシェアリング機能時は、PCI 割り込み要求(INTA#)によるサブルーチン時に、どの割り込みリソースによるものなのかを判別する必要があります。その際、共有化している割り込みリソース全てのフラグの内容をチェックする必要があるため、アダプター内部に割り込みフラグ・レジスタを備えて処理を簡略化しています。ローカル側の割り込み信号：IRQ0-3#のイベントはビット0-3に反映されます。複数割り込み受付時は、その中で優先順位のもっとも高いビットのみセットされた形で読み出されます。尚、Interrupt Clear Register の対応するクリア・ビットがソフトウェアの処理によりセットされるまでフラグを保持し、システムリセットとソフトウェア・リセットで初期化されます。

Bit	Description	R/W	Reset
0	IRQ0: 0:割り込み未検出 / 1:割り込み検出	R	0
1	IRQ1: 0:割り込み未検出 / 1:割り込み検出	R	0
2	IRQ2: 0:割り込み未検出 / 1:割り込み検出	R	0
3	IRQ3: 0:割り込み未検出 / 1:割り込み検出	R	0
4	RD Buffer Error: 0: RD Buffer 正常 1: RD Buffer Fatal Error	R	0
5	WR FIFO Error: 0: WR FIFO 正常 1: WR FIFO Fatal Error	R	0
6	Direct I/O Buffer Half / Full 0:割り込み未検出 / 1:割り込み検出	R	0
7	Reserved		0

Interrupt Clear Register:**ADDR: 03H; 8 bit**

ソフトウェアの処理により、ホスト側で受け付けられた割り込み要求信号をクリアするためのレジスタです。アプリケーション側の同ビットに対応した外部割り込みクリア信号(IRC[3:0]#)はイネープル状態になります。

Bit	Description	R/W	Reset
0	IRQ0: 1:割り込みクリア	W	0
1	IRQ1: 1:割り込みクリア	W	0
2	IRQ2: 1:割り込みクリア	W	0
3	IRQ3: 1:割り込みクリア	W	0
4	RD Buffer Error: 1:割り込みクリア	W	0
5	WR Buffer Error: 1:割り込みクリア	W	0
6	DIO 割込み Clear: 1:割り込みクリア	W	0
7	Reserved		0

Local Control Register:**ADDR: 04H; 32bit**

Bit	Description	R/W	Reset
1:0	Local Bus Width 00: 8 bit 01: 16 bit 10-11: Reserved	R/W	00
2	Memory Prefetch Enable 1: Enable 0: Disable	R/W	0
5:3	Pre-fetch Count 000: 4 byte: プリフェッチ起動時の Byte Enable が示す Byte 数 001: 8 byte 010: 12 byte 011: 16 byte 100: 20 byte 101: 24 byte 110: 28 byte 111: 32 byte (RD FIFO スペースがフル状態になった時点でプリフェッチ サイクルを中断)	R/W	000
6	Direct I/O Read Enable 0: Disable 1: Enable	R/W	0
7	Direct I/O Register Size Direct I/O Read の対象となるレジスタサイズ 0: 8 bit 1: 16 bit	R/W	0
15:8	I/O Address Register Direct I/O Read の対象となるレジスタアドレスを設定 偶数アドレスのみ Direct I/O Read Enable 後の同アドレスレジスタへのアクセスは、アドレス内の格納領域と認識される	R/W	00H
16	Memory RD Address Wait 7890- 0: No wait 1: 1 wait	R/W	1
18:17	Memory RD Data Wait 00: 0 wait 01: 1 wait 10: 2 wait 11: 3 wait	R/W	01
19	Memory WR Address Wait 0: No wait 1: 1 wait	R/W	1

21:20	Memory WR Data Wait 00: 0 wait 01: 1 wait 10: 2 wait 11: 3 wait	R/W	01
22	Memory Address Hold Time : MEM-R/W ストローブ 信号からのアドレス/WR データの Hold Time 0: 0 1: 1 Clock	R/W	1
23	Timer Clock Control 0: Clock IN (汎用タイマ用) 1: PCI Clock Out	R/W	0
24	I/O Addressing Mode PCI 側からの I/O バス転送時のアドレス制御 0: 固定 1: リニアアドレスインクリメント 通常 AD[1:0]=00, BE=0000 の場合のみ I/O のバス転送を受け付ける 尚、Direct I/O RD バッファフル状態時の割り込み操作による Direct I/O レジスタへの RD は、同バッファのデータ RD として扱われ、バス転送を受け付ける	R/W	0
25	IO RD Address Wait 0: No wait 1: 1 wait	R/W	1
27:26	IO RD Data Wait 00: 0 wait 01: 1 wait 10: 2 wait 11: 3 wait	R/W	01
28	IO WR Address Wait 0: No wait 1: 1 wait	R/W	1
30:29	IO WR Data Wait 00: 0 wait 01: 1 wait 10: 2 wait 11: 3 wait	R/W	01
31	I/O Address Hold Time : I/O-R/W ストローブ 信号からのアドレス/WR データの Hold Time 0: 0 1: 1 Clock	R/W	1

Virtual Register Address: ADDR: 08H; 32bit

52 バイトの仮想空間にマッピングされたレジスタ・アドレスを設定します。

アドレス下位 [1:0]=00 固定

Virtual Register Data: ADDR: 0CH; 32bit

同レジスタへの R/W アクセスにより **Virtual Register Address** に設定した仮想空間レジスタへアクセスします。そのデータ・フェーズ上の Byte Enable 信号の状態により Byte/Word/Dword アクセスなのかを判断して適切なレジスタへアクセスする必要があります。

4-2. 仮想空間レジスタ: 52 バイト空間

EEPROM Control Register:		Virtual ADDR: 00H; 8 bit	
Bit	Description	R/W	Reset
0	EESK (EEPROM Serial Clock) EEPROM へのシリアルクロック出力 本ビットの内容がそのまま EESK 端子に出力	R/W	0
1	EECS (EEPROM Chip Select) EEPROM へのチップセレクト出力 本ビットの内容がそのまま EECS 端子に出力	R/W	0
2	EEDI (EEPROM Serial Data Input) EEPROM へのシリアルデータ出力 本ビットの内容がそのまま EEDI 端子に出力	R/W	0
3	EEDO (EEPROM Serial Data Output) EEPROM からのシリアルデータ入力 EEDO 端子の内容が本ビットに反映される EEDO 端子は、ブルアップ処理されているものとする	R	1
4	EEST (EEPROM Status) EEPROM の存在を示すステータスビット “1” ダミービット検出 “0” ダミービット未検出	R	0
5	RELD (EEPROM Reload) EEPROM からイニシャライズデータを再ロード	R/W	0
6	EEFAULT 初期イニシャライズ時に Vender ID=FFFFh が検出された場合にセット	R	0
7	Reserved		

Internal Interrupt Control Register:

Virtual ADDR: 01H; 8 bit

3本の内部割り込み要因に対しマスク設定可能です。

Bit	Function	R/W	Reset
0	RD Buffer Fatal Error INT Enable 0: Masked 1: Enable	R/W	0
1	WR FIFO Fatal Error INT Enable 0: Masked 1: Enable	R/W	0
2	DIO Space Half / Full INT Enable 0: Masked 1: Enable	R/W	0
3	DIO Space INT Type: 0: Half 割り込み 1: Full 割り込み	R/W	0
7:4	Reserved		0

External Interrupt Control Register:

Virtual ADDR: 02H; 16 bit

4本の外部割り込み要因に対し、ポラリティ / マスク / 割り込みタイプ (レベル / エッジ) / プライオリティの設定が可能です。

割り込み優先順位 内部エラー割り込み > 外部割り込み

尚、同一プライオリティの割り込み要求の競合状態が発生した場合:

内部割り込み: RD BUFFER エラー > WR FIFO エラー > Direct I/O Space Full

外部割り込み: IRQ0 > IRQ1 > IRQ2 > IRQ3

Bit	Function	R/W	Reset
0	IRQ0: Interrupt Enable Bit: 0 : Masked 1 : Enable	R/W	0
1	IRQ0: Interrupt Type 0 : Level 1 : Edge	R/W	0
2	IRQ0: Interrupt Priority 0 : Low 1 : High	R/W	0
3	IRQ0 Polarity 0 : Active-Low 1 : Active-High	R/W	0
4	IRQ1: Interrupt Enable Bit: 0 : Masked 1 : Enable	R/W	0
5	IRQ1: Interrupt Type 0 : Level 1 : Edge	R/W	0
6	IRQ1: Interrupt Priority 0 : Low 1 : High	R/W	0
7	IRQ1 Polarity 0 : Active-Low 1 : Active-High	R/W	0
8	IRQ2: Interrupt Enable Bit: 0 : Masked 1 : Enable	R/W	0
9	IRQ2: Interrupt Type 0 : Level 1 : Edge	R/W	0
10	IRQ2: Interrupt Priority 0 : Low 1 : High	R/W	0
11	IRQ2 Polarity 0 : Active-Low 1 : Active-High	R/W	0
12	IRQ3: Interrupt Enable Bit: 0 : Masked 1 : Enable	R/W	0
13	IRQ3: Interrupt Type 0 : Level 1 : Edge	R/W	0
14	IRQ3: Interrupt Priority 0 : Low 1 : High	R/W	0
15	IRQ3 Polarity 0 : Active-Low 1 : Active-High	R/W	0

I/O Chip Select Timing Control:

Virtual ADDR: 04h; 32bit

I/O Chip Select 信号 : IOCS0-15#の Enable / Disable、タイミング設定

Bit	Function	R/W	Reset
1:0	IOCS0# CS Enable Timing 00 : CS Disable 01 : IOR# Timing 10 : IOW# Timing 11 : Address Timing	R/W	00
3:2	IOCS1# CS Enable Timing 00 : CS Disable 01 : IOR# Timing 10 : IOW# Timing 11 : Address Timing	R/W	00

5:4	IOCS2# CS Enable Timing 00: CS Disable 01: IOR# Timing 10: IOW# Timing 11: Address Timing	R/W	00
7:6	IOCS3# CS Enable Timing 00: CS Disable 01: IOR# Timing 10: IOW# Timing 11: Address Timing	R/W	00
9:8	IOCS4# CS Enable Timing 00: CS Disable 01: IOR# Timing 10: IOW# Timing 11: Address Timing	R/W	00
11:10	IOCS5# CS Enable Timing 00: CS Disable 01: IOR# Timing 10: IOW# Timing 11: Address Timing	R/W	00
13:12	IOCS6# CS Enable Timing 00: CS Disable 01: IOR# Timing 10: IOW# Timing 11: Address Timing	R/W	00
15:14	IOCS7# CS Enable Timing 00: CS Disable 01: IOR# Timing 10: IOW# Timing 11: Address Timing	R/W	00
17:16	IOCS8# CS Enable Timing 00: CS Disable 01: IOR# Timing 10: IOW# Timing 11: Address Timing	R/W	00
19:18	IOCS9# CS Enable Timing 00: CS Disable 01: IOR# Timing 10: IOW# Timing 11: Address Timing	R/W	00
21:20	IOCS10# CS Enable Timing 00: CS Disable 01: IOR# Timing 10: IOW# Timing 11: Address Timing	R/W	00
23:22	IOCS11# CS Enable Timing 00: CS Disable 01: IOR# Timing 10: IOW# Timing 11: Address Timing	R/W	00
25:24	IOCS12# CS Enable Timing 00: CS Disable 01: IOR# Timing 10: IOW# Timing 11: Address Timing	R/W	00
27:26	IOCS13# CS Enable Timing 00: CS Disable 01: IOR# Timing 10: IOW# Timing 11: Address Timing	R/W	00
29:28	IOCS14# CS Enable Timing 00: CS Disable 01: IOR# Timing 10: IOW# Timing 11: Address Timing	R/W	00

31:30	IOCS15# CS Enable Timing 00: CS Disable 01: IOR# Timing 10: IOW# Timing 11: Address Timing	R/W	00
-------	--	-----	----

IOCS Address Decode 0-15:

Virtual ADDR: 下記; 16 bit

Register	Offset	Register	Offset
IOCS0 Addr Dec	08h	IOCS1 Addr Dec	0Ah
IOCS2 Addr Dec	0Ch	IOCS3 Addr Dec	0Eh
IOCS4 Addr Dec	10h	IOCS5 Addr Dec	12h
IOCS6 Addr Dec	14h	IOCS7 Addr Dec	16h
IOCS8 Addr Dec	18h	IOCS9 Addr Dec	1Ah
IOCS10 Addr Dec	1Ch	IOCS11 Addr Dec	1Eh
IOCS12 Addr Dec	20h	IOCS13 Addr Dec	22h
IOCS14 Addr Dec	24h	IOCS15 Addr Dec	26h

I/O 空間をバイト単位に最大 256byte 空間まで細分化可能です。

Base Address ビットに設定した I/O アドレス値を **Address Decode Range** ビットに設定された空間分をアドレスデコードし、一致した場合はそれに対応する IOCS 信号を **I/O Chip Select Control** レジスタに設定したタイミングでアサートさせます。

Address Decode Range 設定値								Base Address アドレス照合に使用されるビット								I/O 空間
7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0	
1	1	1	1	1	1	1	1									1
1	1	1	1	1	1	1	0									2
1	1	1	1	1	1	0	0									4
1	1	1	1	1	0	0	0									8
1	1	1	1	0	0	0	0									16
1	1	1	0	0	0	0	0									32
1	1	0	0	0	0	0	0									64
1	0	0	0	0	0	0	0									128
0	0	0	0	0	0	0	0									256

Bit	Function	R/W	Reset
7:0	Base Address bit	R/W	00h
15:8	Address Decode Range	R/W	00h

RD FIFO Space Control:

Virtual ADDR: 28h; 16bit

Direct I/O Pre-RDがEnable状態の場合にデータ格納領域をRD FIFO内に確保します。尚、RD FIFO領域 (48 バイト) は、Prefetch用データ格納領域としても使用されるため、本レジスタにより境界を設定し両領域を独立に制御することを可能にします。

設定を有効にする場合は、必ず Bit15 : RD FIFO Master Enable ビットをセットすること。これにより、必要データを RD FIFO 管理用レジスタにロードします。

RD FIFO 領域: 48 バイト

- Direct I/O Pre-RD 用 : Min 4Byte - Max 32 Byte (Default: 0 byte)
- Prefetch 用 : Min 16Byte - Max 48 Byte (Default: 48 byte)

Bit	Function										R/W	Reset
	Bit								Prefetch Space (byte)	Direct I/O Space (byte)		
	7	6	5	4	3	2	1	0				
7:0	0	0	0	0	0	0	0	0	48	0	R/W	00h
	0	0	0	0	0	0	0	1	44	4		
	0	0	0	0	0	0	1	0	40	8		
	0	0	0	0	0	1	0	0	36	12		
	0	0	0	0	1	0	0	0	32	16		
	0	0	0	1	0	0	0	0	28	20		
	0	0	1	0	0	0	0	0	24	24		
	0	1	0	0	0	0	0	0	20	28		
1	0	0	0	0	0	0	0	16	32			
14:8	Reserved											0
15	RD FIFO Master Enable (1: Enable / 0: Disable)										R/W	0

Multiplex Control:

Virtual ADDR: 2AH; 8bit

アドレス / IO チップセレクト信号(TA16-9 / IOCS15-8#)の選択

Bit	Function	R/W	Reset
0	TA9 / IOCS8# 0: TA9 Select 1: IOCS8# Select	R/W	0
1	TA10 / IOCS9# 0: TA10 Select 1: IOCS9# Select	R/W	0
2	TA11 / IOCS10# 0: TA11 Select 1: IOCS10# Select	R/W	0
3	TA12 / IOCS11# 0: TA12 Select 1: IOCS11# Select	R/W	0
4	TA13 / IOCS12# 0: TA13 Select 1: IOCS12# Select	R/W	0
5	TA14 / IOCS13# 0: TA14 Select 1: IOCS13# Select	R/W	0
6	TA15 / IOCS14# 0: TA15 Select 1: IOCS14# Select	R/W	0
7	TA16 / IOCS15# 0: TA16 Select 1: IOCS15# Select	R/W	0

Adapter Revision:

Virtual ADDR: 2Bh; 8bit

アダプターチップの **Revision No** を設定 : Read Only (10H: 固定)

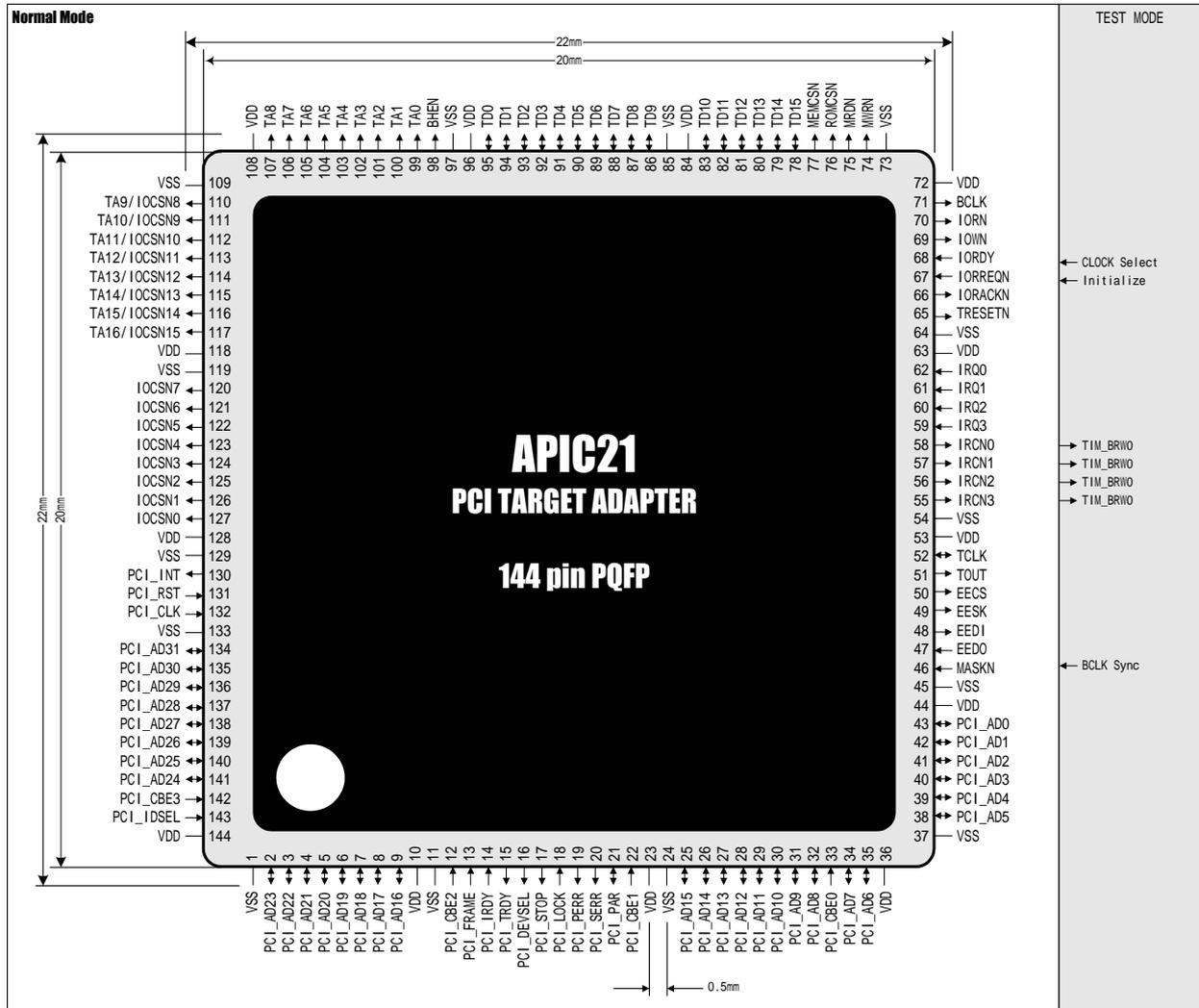
Timer Count Register:

Virtual ADDR: 2Ch; 32bit

タイマカウント値を設定。Bit0 : Timer Enable ビットがセットされると、Timer カウント値をダウンロードし、カウントを開始します。

Bit	Function	R/W	Reset
0	Timer Enable Bit 1: Enable 0: Disable	R/W	0
31:1	Timer Count	R/W	0

5. Package



PCI Interface Pin Description:

Pin Number	Pin Name	Pin Type	電気的特性	Note
130	INTA#	OUT(OC)	PCI 準拠	Level Sensitive PCI Interrupt (INTA#)
131	RST#	IN		PCI Reset
132	CLK	IN		PCI Clock(33 MHz)
133	VSS	GND		
134	AD31	I/O(TS)		PCI Addr/Data Multiplex Bus: AD[31]
135	AD30	I/O(TS)		PCI Addr/Data Multiplex Bus: AD[30]
136	AD29	I/O(TS)		PCI Addr/Data Multiplex Bus: AD[29]
137	AD28	I/O(TS)		PCI Addr/Data Multiplex Bus: AD[28]
138	AD27	I/O(TS)		PCI Addr/Data Multiplex Bus: AD[27]
139	AD26	I/O(TS)		PCI Addr/Data Multiplex Bus: AD[26]
140	AD25	I/O(TS)		PCI Addr/Data Multiplex Bus: AD[25]
141	AD24	I/O(TS)		PCI Addr/Data Multiplex Bus: AD[24]
142	CBE3#	IN		Bus Command/Byte Enable Multiplex: Bus: C/BE[3]
143	IDSEL	IN		Initialization Device Select
144	VDD	PWR		
1	VSS	GND		
2	AD23	I/O(TS)		PCI Addr/Data Multiplex Bus: AD[23]
3	AD22	I/O(TS)		PCI Addr/Data Multiplex Bus: AD[22]
4	AD21	I/O(TS)		PCI Addr/Data Multiplex Bus: AD[21]
5	AD20	I/O(TS)		PCI Addr/Data Multiplex Bus: AD[20]
6	AD19	I/O(TS)		PCI Addr/Data Multiplex Bus: AD[19]
7	AD18	I/O(TS)		PCI Addr/Data Multiplex Bus: AD[18]
8	AD17	I/O(TS)		PCI Addr/Data Multiplex Bus: AD[17]
9	AD16	I/O(TS)		PCI Addr/Data Multiplex Bus: AD[16]
10	VDD	PWR		
11	VSS	GND		
12	CBE2#	IN		Bus Command/Byte Enable Multiplex: Bus: C/BE[2]
13	FRAME#	IN		PCI Cycle Frame: FRAME#
14	IRDY#	IN		PCI Initiator Ready: IRDY#
15	TRDY#	OUT(STS)		PCI Target Ready: TRDY#
16	DEVSEL#	OUT(STS)		Device Select: DEVSEL#
17	STOP#	OUT(STS)		Target Initiate Termination Request: STOP#
18	LOCK#	IN		PCI LOCK: LOCK#
19	PERR#	OUT(STS)		Parity Error: PERR#
20	SERR#	OUT(OC)		System Error: SERR#
21	PAR	I/O(TS)		Parity: PAR
22	CBE1#	IN		Bus Command/Byte Enable Multiplex: Bus: C/BE[1]
23	VDD	PWR		
24	VSS	GND		
25	AD15	I/O(TS)		PCI Addr/Data Multiplex Bus: AD[15]
26	AD14	I/O(TS)		PCI Addr/Data Multiplex Bus: AD[14]
27	AD13	I/O(TS)		PCI Addr/Data Multiplex Bus: AD[13]
28	AD12	I/O(TS)		PCI Addr/Data Multiplex Bus: AD[12]
29	AD11	I/O(TS)		PCI Addr/Data Multiplex Bus: AD[11]
30	AD10	I/O(TS)		PCI Addr/Data Multiplex Bus: AD[10]
31	AD9	I/O(TS)		PCI Addr/Data Multiplex Bus: AD[9]
32	AD8	I/O(TS)		PCI Addr/Data Multiplex Bus: AD[8]
33	CBE0#	IN	▼	Bus Command/Byte Enable Multiplex: Bus: C/BE[0]

34	AD7	I/O(TS)	PCI 準拠	PCI Addr/Data Multiplex Bus: AD[7]
35	AD6	I/O(TS)		PCI Addr/Data Multiplex Bus: AD[6]
36	VDD	PWR		
37	VSS	GND		
38	AD5	I/O(TS)		PCI Addr/Data Multiplex Bus: AD[5]
39	AD4	I/O(TS)		PCI Addr/Data Multiplex Bus: AD[4]
40	AD3	I/O(TS)		PCI Addr/Data Multiplex Bus: AD[3]
41	AD2	I/O(TS)		PCI Addr/Data Multiplex Bus: AD[2]
42	AD1	I/O(TS)		PCI Addr/Data Multiplex Bus: AD[1]
43	AD0	I/O(TS)		PCI Addr/Data Multiplex Bus: AD[0]
44	VDD	PWR		
45	VSS	GND	▼	

Serial EEPROM Interface Pin Description

Pin Number	Pin Name	Pin Type	電気的特性	Note
46	MASK#	IN	TTL 入力 / 50K Pull-up	EEPROM Access Disable
47	EEDO	IN	TTL 入力 / 50K Pull-up	EEPROM Serial Data Input
48	EEDI	OUT	出力 : ± 12mA	EEPROM Serial Data Output
49	EESK	OUT	出力 : ± 12mA	EEPROM Serial Clock
50	EECS	OUT	出力 : ± 12mA	EEPROM Chip Select

Target Interface Pin Description:

Pin Number	Pin Name	Pin Type	電気的特性	Note
51	TOUT#	OUT	出力 : ± 12mA	Timer Out
52	TCLK	I/O	TTL 入力 : 50K Pull-up 出力 : ± 12mA	Clock In/Out(PCI Clock/Application In)
53	VDD	PWR		
54	VSS	GND		
55	IRC3#	OUT	出力 : ± 12mA	Interrupt Clear 3
56	IRC2#	OUT	出力 : ± 12mA	Interrupt Clear 2
57	IRC1#	OUT	出力 : ± 12mA	Interrupt Clear 1
58	IRC0#	OUT	出力 : ± 12mA	Interrupt Clear 0
59	IRQ3	IN	TTL 入力 : 50K Pull-up	Interrupt Request 3
60	IRQ2	IN	TTL 入力 : 50K Pull-up	Interrupt Request 2
61	IRQ1	IN	TTL 入力 : 50K Pull-up	Interrupt Request 1
62	IRQ0	IN	TTL 入力 : 50K Pull-up	Interrupt Request 0
63	VDD	PWR		
64	VSS	GND		
65	TRESET#	OUT	出力 : ± 12mA	Application Reset
66	IORACK#	OUT	出力 : ± 12mA	Direct I/O Pre-RD Acknowledge
67	IORREQ#	IN	TTL 入力 : 50K Pull-up	Direct I/O Pre-RD Request
68	IORDY	IN	TTL 入力 : 50K Pull-up	Application Ready
69	IOW#	OUT	出力 : ± 12mA	I/O WR Strobe

70	IOR#	OUT	出力 : ± 12mA	I/O RD Strobe
71	BCLK	OUT	出力 : ± 12mA	Application Clock (2PCI Clock)
72	VDD	PWR		
73	VSS	GND		
74	MWR#	OUT	出力 : ± 12mA	Memory WR Strobe
75	MRD#	OUT	出力 : ± 12mA	Memory RD Strobe
76	ROMCS#	OUT	出力 : ± 12mA	Expansion ROM Chip Select
77	MEMCS#	OUT	出力 : ± 12mA	Memory Chip Select
78	TD15	I/O(TS)	TTL シフト入力 : 50K Pull-up 出力 : +24mA(IOL) /-12mA(IOH)	Target Application Data Bus[15]
79	TD14	I/O(TS)		Target Application Data Bus[14]
80	TD13	I/O(TS)		Target Application Data Bus[13]
81	TD12	I/O(TS)		Target Application Data Bus[12]
82	TD11	I/O(TS)		Target Application Data Bus[11]
83	TD10	I/O(TS)	▼	Target Application Data Bus[10]
84	VDD	PWR		
85	VSS	GND		
86	TD9	I/O(TS)		Target Application Data Bus[9]
87	TD8	I/O(TS)		Target Application Data Bus[8]
88	TD7	I/O(TS)		Target Application Data Bus[7]
89	TD6	I/O(TS)		Target Application Data Bus[6]
90	TD5	I/O(TS)		Target Application Data Bus[5]
91	TD4	I/O(TS)		Target Application Data Bus[4]
92	TD3	I/O(TS)		Target Application Data Bus[3]
93	TD2	I/O(TS)		Target Application Data Bus[2]
94	TD1	I/O(TS)		Target Application Data Bus[1]
95	TD0	I/O(TS)	▼	Target Application Data Bus[0]
96	VDD	PWR		
97	VSS	GND		
98	BHE#	OUT	出力 : ± 12mA	Byte High Enable For Application Data Bus
99	TA0	OUT		Target Application Address Bus[0]
100	TA1	OUT		Target Application Address Bus[1]
101	TA2	OUT		Target Application Address Bus[2]
102	TA3	OUT		Target Application Address Bus[3]
103	TA4	OUT		Target Application Address Bus[4]
104	TA5	OUT		Target Application Address Bus[5]
105	TA6	OUT		Target Application Address Bus[6]
106	TA7	OUT		Target Application Address Bus[7]
107	TA8	OUT	▼	Target Application Address Bus[8]
108	VDD	PWR		
109	VSS	GND		
110	TA9 / IOCS8#	OUT	出力 : ± 12mA	Target Addr[9] / IO Chip Select[8] Multiplex
111	TA10 / IOCS9#	OUT		Target Addr[10] / IO Chip Select[9] Multiplex Bus
112	TA11 / IOCS10#	OUT	▼	Target Addr[11] / IO Chip Select[10] Multiplex Bus
113	TA12 / IOCS11#	OUT	出力 : ± 12mA	Target Addr[12] / IO Chip Select[11] Multiplex Bus
114	TA13 / IOCS12#	OUT		Target Addr[13] / IO Chip Select[12] Multiplex Bus
115	TA14 / IOCS13#	OUT		Target Addr[14] / IO Chip Select[13] Multiplex Bus
116	TA15 / IOCS14#	OUT		Target Addr[15] / IO Chip Select[14] Multiplex Bus
117	TA16 / IOCS15#	OUT	▼	Target Addr[16] / IO Chip Select[15] Multiplex Bus
118	VDD	PWR		
119	VSS	GND		

120	IOCS7#	OUT	出力 : ± 12mA	I/O Chip Select[7]
121	IOCS6#	OUT		I/O Chip Select[6]
122	IOCS5#	OUT		I/O Chip Select[5]
123	IOCS4#	OUT		I/O Chip Select[4]
124	IOCS3#	OUT		I/O Chip Select[3]
125	IOCS2#	OUT		I/O Chip Select[2]
126	IOCS1#	OUT		I/O Chip Select[1]
127	IOCS0#	OUT	▼	I/O Chip Select[0]
128	VDD	PWR		
129	VSS	GND		

- Pin Type :
- I/O Input / Output Pin
 - IN Input Only Pin
 - OUT Output Only Pin
 - TS Tri-State Pin
 - OC Open Collector Pin
 - STS Sustained Tri-State Pin
 - PWR Plus Power Pin
 - GND Minus Power Pin

6. 用語説明

・シーケンシャルリード機能

シリアル EEPROM の Data Read 方法の一つ。

最初の Command ブロックで Address 指定するだけで、複数の Register Data を Clock 数分、順次読み出されます。

・Addressing モード

Memory Burst 転送時、Command フェーズの AD[1:0]の値で指定されるモード。

AD[1:0]=00：リニアモード

AD[1:0]=01：未使用（以前は、キャッシュライントグルモード）

AD[1:0]=10：キャッシュラインラップモード

AD[1:0]=11：未使用

I/O Burst については、AD[1:0]は Address として取り扱われ、Addressing モードはリニアモードが定義されています。

・Combine

プロセッサによる、連続する複数の Memory Write サイクルを HOST - PCI ブリッジでバッファし、単一の Burst サイクルに置き換える動作のこと。

4Byte を超えた（Write されない空間）アクセスも含めて Combine されます。この場合、同 Address 空間は無効 Byte レーン(C/BEx#="H")で処理されます。

・Delayed RD

PCI アクセスを一端 Retry / Disconnect で終了し、Local Prefetch によって確保された Data を再アクセスによって読み出す動作をいいます。

・Direct RD

PCI Bus サイクル中に Local の Bus サイクルが起動している状態。

・Disconnect With Data

Burst 転送時に、Data 転送を伴うサイクルの終了状態。

・Disconnect WithOut Data

Burst 転送時に、Data 転送を伴わないサイクルの終了状態。

・Dual_Port Memory

独立した2つの Address / Data / Control Bus を持つ、同時アクセス可能な Memory。

・Expansion_ROM

ユーザ固有の BIOS ROM。

ROM のコードは、POST によって PC の RAM にコピーされてから実行となります。

・Master Initiated Termination

Master Device による Bus サイクルの終了。

Completion

Master Latency TimeOut

Master Abort

・Memory Read Line(MRL)

キャッシュ 1 ライン分のメモリを読み出すときに使用するコマンド。

- **Memory Read Multiple(MRM)**

キャッシュ複数ライン分のメモリを読み出すときに使用するコマンド。

- **Memory Write and Invalidate(MWI)**

1 つまたは複数のキャッシュライン全てを単一 Burst 転送で書き込むときに使用するコマンド (ライトバック動作不要)。

- **Merging**

プロセッサによるメモリ書き込みで、4Byte 境界内のことなる複数 Byte レーンアクセスを HOST - PCI ブリッジで1つの Bus サイクルにまとめること。

- **Parity**

PCI には、Address Parity と Data Parity があります。

Address Parity は、Command フェーズの Even Parity を生成します。このとき、Parity Error が発生した場合、APIC21 は Target Abort 処理を行います。

Data Parity は、Data フェーズの Even Parity を生成します。このとき、Parity Error が発生した場合の処理は、アプリケーションまたはシステムに任せられます。

- **PCI Bus 占有率**

Target が占める PCI の Bus サイクル継続率。

Multi Bus Master システムでは、Target が多くの PCI Bus を占有すると全体のパフォーマンスが劣化します。

- **Posted WR**

Local Bus サイクルの終了を待たずに Data を Buffer に格納し、PCI Bus サイクルを終了させること。

- **Target Initiated Termination**

Target Device による Bus サイクルの終了。

Retry

Disconnect

Target Abort

- **Target Latency**

Initial Latency と Subsequent Latency があります。

Initial Latency : 初期 PCI サイクルに適用される 16 クロックルール。

Subsequent Latency : Burst アクセス時の 2nd 以降のサイクルに適用される 8 クロックルール。

Target は Latency 範囲内で Bus サイクルを終了しなければなりません。

「PCI 2.0 Spec」では推奨でしたが、「PCI 2.1 Spec」では必須条件となっています。

7. 電気的特性

絶対最大定格 (VSS=0V)

項目	記号	定格値	単位
電源電圧	VDD	-0.3 ~ +6.0	V
入力電圧	VI	-0.3 ~ VDD+0.5	V
出力電圧	VO	-0.3 ~ VDD+0.5	V
出力電流 / Pin	IOUT	± 25 (± 50 *1)	mA
保存温度	Tstg	-60 ~ +150	
はんだ付け温度 (10 秒) (赤外線リフロー)	Tsol	245	

*1 : 出力 Type 24mA Buffer に適用。

推奨動作条件 (VSS=0V)

項目	記号	Min	Typ	Max	単位
電源電圧	VDD	+4.50	+5.0	+5.50	V
入力電圧	VI	VSS	-	VDD	V
動作温度	Topr	-40	+25	+85	
入力立ち上がり時間 (通常入力端子)	tri	-	-	50	ns
入力立ち下がり時間 (通常入力端子)	tfi	-	-	50	ns
入力立ち上がり時間 (シュミット入力端子)	tri	-	-	5	ms
入力立ち下がり時間 (シュミット入力端子)	tfi	-	-	5	ms

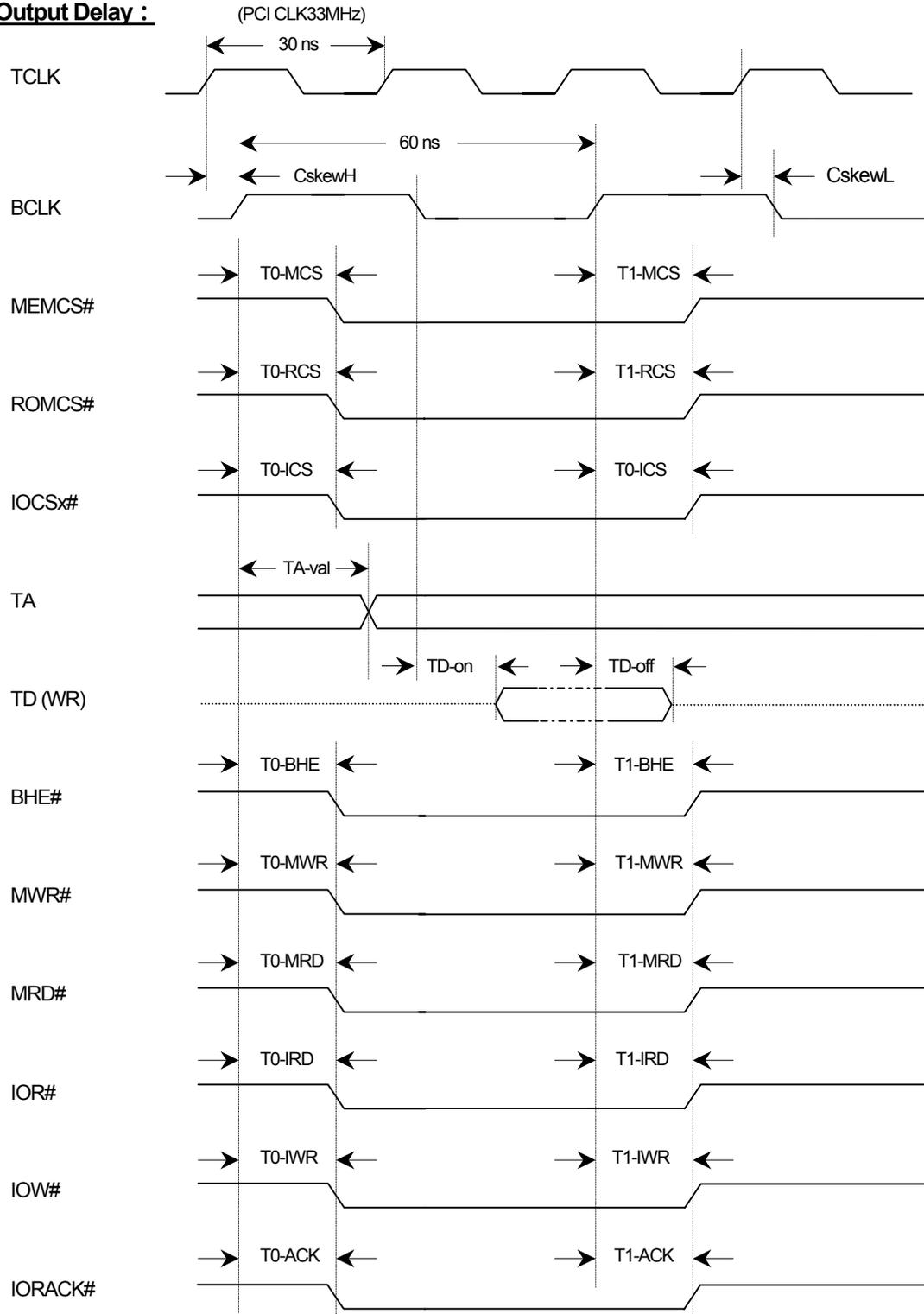
Local Bus DC 特性 (VDD=5V / VSS=0V / Ta=-40 ~ +85)

項目	記号	条件	Min	Typ	Max	単位
動的消費電流	IDD	PCI Read/Write アクシ *1	-	160	370	mA
高レベル出力電圧	VOH	IOH = - 12mA	VDD-0.4	-	-	V
低レベル出力電圧	VOL	出力 Type : IOL = - 12mA	-	-	0.4	V
		出力 Type : IOL = - 24mA	-	-	0.4	V
高レベル入力電圧	VIH	TTL レベル(VDD=Max)	2.0	-	-	V
低レベル入力電圧	VIL	TTL レベル(VDD=Min)	-	-	0.8	V
高レベル入力電圧	VT+	TTL シュミット	-	-	2.4	V
低レベル入力電圧	VT-	TTL シュミット	0.6	-	-	V
ヒステリシス電圧	VH	TTL シュミット	0.1	-	-	V
プルアップ抵抗	RPU	VI=0V	25	50	100	K
入力端子容量	CI	f=1MHz(VDD=0V)	-	-	12	pF
出力端子容量	CO	f=1MHz(VDD=0V)	-	-	12	pF
入出力端子容量	CIO	f=1MHz(VDD=0V)	-	-	12	pF

*1 : Local Bus 無負荷状態。

Local Bus AC 特性

Output Delay :

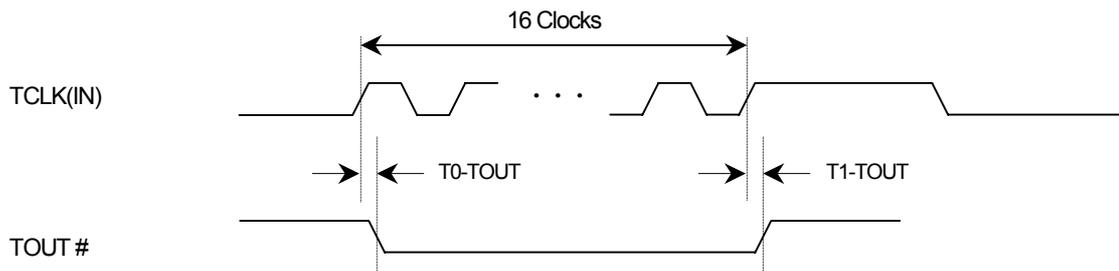


計測条件 : Output Load = 50 pF TYP: 5V / 25 、 MAX: 4.5V / 85

Symbol	Parameter	TYP	MAX	Symbol	Parameter	TYP	MAX
CskewH	Clock Skew between TCLK to positive BCLK	1.5 (ns)	2.5 (ns)	CskewL	Clock Skew between TCLK to negative BCLK	2.0 (ns)	3.0 (ns)
T0-MCS	CLK to MEMCS# Assertion Delay	2.5	6.5	T1-MCS	CLK to MEMCS# De-assertion Delay	2.0	5.0
T0-RCS	CLK to ROMCS# Assertion Delay	2.5	6.5	T1-RCS	CLK to ROMCS# De-assertion Delay	2.0	5.0
T0-ICS	CLK to IOCSx# Assertion Delay	2.5	6.0	T1-ICS	CLK to IOCSx# De-assertion Delay	2.0	5.5
T0-BHE	CLK to BHE# Assertion Delay	2.0	6.0	T1-BHE	CLK to BHE# De-assertion Delay	1.5	5.0

T0-MRD	CLK to MRD# Assertion Delay	2.0	5.0	T1-MRD	CLK to MRD# De-assertion Delay	1.5	4.0
T0-MWR	CLK to MWR# Assertion Delay	2.0	5.0	T1-MWR	CLK to MWR# De-assertion Delay	1.5	4.0
T0-IRD	CLK to IOR# Assertion Delay	2.0	5.0	T1-IRD	CLK to IOR# De-assertion Delay	1.5	4.0
T0-IWR	CLK to IOW# Assertion Delay	2.0	5.0	T1-IWR	CLK to IOW# De-assertion Delay	1.5	4.0
T0-ACK	CLK to IORDACK# Assertion Delay	2.5	6.0	T1-ACK	CLK to IORDACK# De-assertion Delay	2.0	5.5
TA-val	TA Valid Delay	2.0	6.0				
TD-on	TD: Float to Active Delay	2.5	7.0	TD-off	TD: Active to Float Delay	7.5	15.0

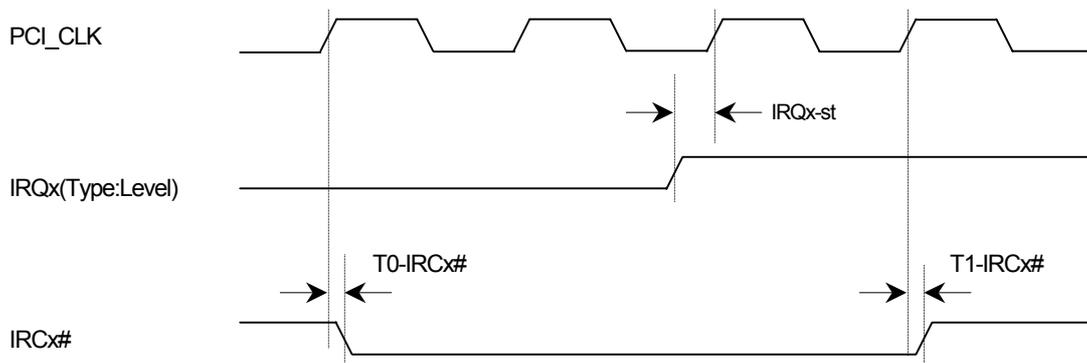
Timer Borrow :



Operation Condition(Load 50 pF): TYP: 5V / 25 、 MAX: 4.5V / 85

Symbol	Parameter	TYP: ns	MAX: ns
T0-TOUT	TCLK to TOUT# Assertion Delay	7.0	13.0
T1-TOUT	TCLK to TOUT# De-Assertion Delay	6.0	12.0

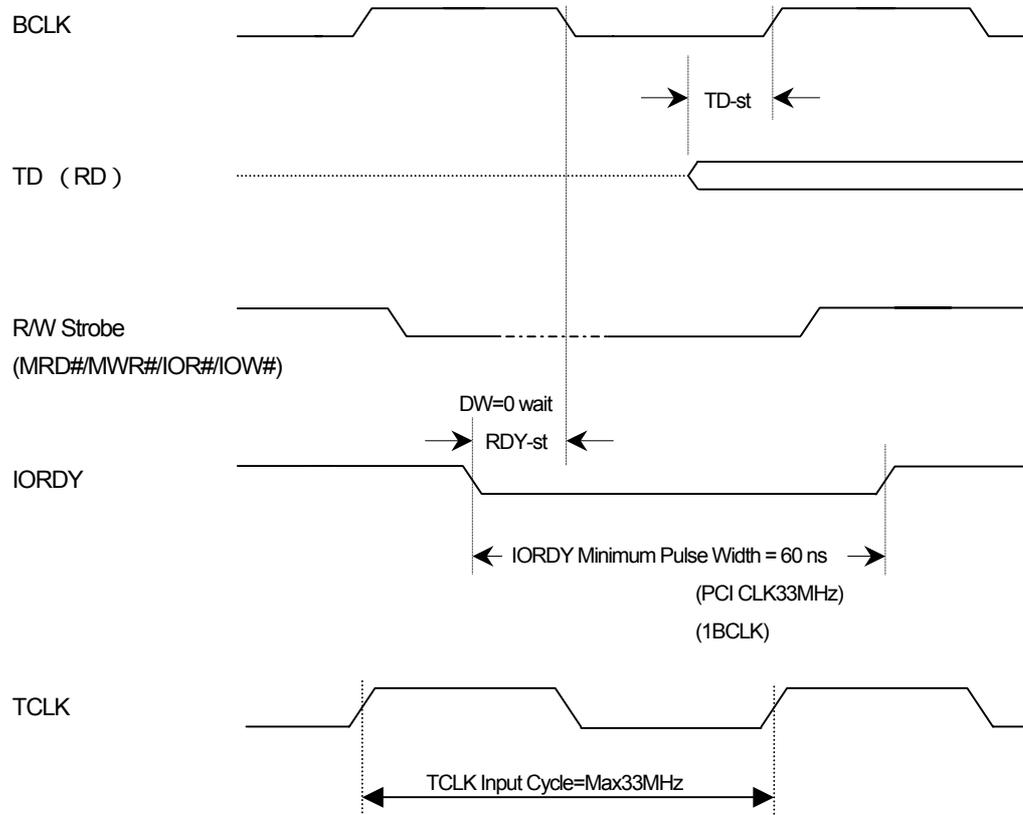
Interrupt Clear :



Operation Condition(Load 50pF): TYP: 5V / 25 、 MAX: 4.5V / 85

Symbol	Parameter	TYP: ns	MAX: ns
IRQx-st	Input Setup Time to PCI_CLK – IRQx	0	0
T0-IRCx#	TCLK to IRCx# Assertion Delay	7.0	13.0
T1-IRCx#	TCLK to IRCx# De-Assertion Delay	6.5	12.0

Input Setup :



Operation Condition: TYP: 5V / 25 、 MAX: 4.5V / 85

Symbol	Parameter	TYP: ns	MAX: ns
RDY-st	Input Setup Time to BCLK - IORDY	6.5	11.5
TD-st	Input Setup Time to BCLK - TD (Data Bus)	5.5	9.0

8. 使用上の注意事項

IOCS Address Decode 0-15 の設定方法

IOCSx#信号は、Virtual ADDR「08h-26h」の Address Decode Range および Base Address Register により出力範囲を設定可能です。

IOCS Address Decode の設定には、PCI Configuration Register の Base Address Register1(BAR1)で設定されているアドレス範囲を考慮する必要があります。

BAR1 で設定された範囲に PCI からの I/O アクセスがあると、APIC21 内部のマスタデコード信号がアクティブとなります。このマスタデコード信号が、IOCS のデコード回路に入力されます。IOCS のデコード回路では、BAR1 のデコード範囲内アドレス（下位アドレス）が比較対象となります。

マスタデコード信号と IOCS デコード信号の論理積がとられ IOCSx#信号が生成されます。

以下に設定方法の例を上げ説明します。

例1：BAR1 デコード範囲=256Byte の場合

・設定可能な IOCS デコード範囲表

Address Decode Range 設定値								Base Address アドレス照合に使用されるビット								I/O 空間
7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0	
1	1	1	1	1	1	1	1									1
1	1	1	1	1	1	1	0									2
1	1	1	1	1	1	0	0									4
1	1	1	1	1	0	0	0									8
1	1	1	1	0	0	0	0									16
1	1	1	0	0	0	0	0									32
1	1	0	0	0	0	0	0									64
1	0	0	0	0	0	0	0									128
0	0	0	0	0	0	0	0									256

この場合 256Byte 範囲内で IOCSx#信号の出力範囲を指定可能です。

Address Decode Range「bit7-bit0」は、PCI Address「A7-A0」に対応し、“1”を設定された Bit が比較対象となります。

Base Address「bit7-bit0」は、PCI Address「A7-A0」との比較アドレス値を設定します。

下表は、IOCS0#-IOCS3#の 16Byte 範囲出力設定方法です。

BAR1	Virtual ADDR	Address Decode Range	Base Address	IOCSx#出力範囲
00008000h	08h	F0h	00h	IOCS0#=8000h-800Fh
00008000h	0Ah	F0h	10h	IOCS1#=8010h-801Fh
00008000h	0Ch	F0h	20h	IOCS2#=8020h-802Fh
00008000h	0Eh	F0h	30h	IOCS3#=8030h-803Fh

例2 : BAR1 デコード範囲 = 32Byte の場合

・設定可能な IOCS デコード範囲表

Address Decode Range 設定値								Base Address アドレス照合に使用されるビット								I/O 空間
7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0	
0	0	0	1	1	1	1	1									1
0	0	0	1	1	1	1	0									2
0	0	0	1	1	1	0	0									4
0	0	0	1	1	0	0	0									8
0	0	0	1	0	0	0	0									16
0	0	0	0	0	0	0	0									32

この場合 32Byte 範囲内で IOCSx#信号の出力範囲を指定可能です。

Address Decode Range 「bit4-bit0」は、PCI Address 「A4-A0」に対応し、“1”を設定された Bit が比較対象となります (bit7-bit5 は比較対象外のアドレスのため必ず“0”を設定してください)。

Base Address 「bit4-bit0」は、PCI Address 「A4-A0」との比較アドレス値を設定します。

下表は、IOCS0#-IOCS3#の 8Byte 範囲出力設定方法です。

BAR1	Virtual ADDR	Address Decode Range	Base Address	IOCSx#出力範囲
00008000h	08h	18h	00h	IOCS0#=8000h-8007h
00008000h	0Ah	18h	08h	IOCS1#=8008h-800Fh
00008000h	0Ch	18h	10h	IOCS2#=8010h-8017h
00008000h	0Eh	18h	18h	IOCS3#=8018h-801Fh

Adapter Control Register の設定方法

Adapter Control Register は、PCI および Local Bus の State コントロールを行います。
本 Register の設定によっては、システムパフォーマンスの劣化を招く場合があるため、Target の目的とする動作を十分に検討し、適切な設定を行う必要があります。

Bit	Description
0	<p>PCI Read Mode : Set"1"</p> <p>PCI からの Read 要求は直ちに Retry 処理されます。 Local Bus は、Retry 処理されている Read 要求を起動し Adapter 内の RD FIFO に格納します。 RD FIFO に要求 Data がすべてととのった時点で、PCI からの Delayed Read を受け付けます。 PCI2.1 Spec 準拠で本 Adapter を使用する場合は、「PCI Read Mode」と「PCI Initial Latency Enable」(Bit5)を有効設定としてください。 また、PCI Configuration Register の Base Address Register 2(BAR2)「Bit3」で Prefetch Enable としているときは、必ず本 Bit を有効設定としてください。</p>
1	<p>PCI Read No Write Mode : Set"1"</p> <p>RD FIFO 内に有効 Prefetch データが格納された状態で PCI から Write 要求があると Retry 処理が行われます。 本 Adapter に対する複数マスタデバイスからのアクセスの同期化を目的としています。 Prefetch データ数より PCI 要求データ数が少ないとき、Retry 処理が続きデッドロック状態となる可能性があるので注意してください。</p>
2	<p>PCI Write Mode : Set"1"</p> <p>WR FIFO がフル状態のときに PCI アクセスがあると直ちに Retry / Disconnect 処理が行われます。 PCI2.1 Spec 準拠で本 Adapter を使用する場合は、「PCI Write Mode」と「PCI Initial Latency Enable」(Bit5)を有効設定としてください。</p>
3	<p>PCI WR Completion Mode : Set"1"</p> <p>1 データフェーズ分の PCI Write 要求ごとにアプリケーション回路との同期がとられません (Burst 転送要求に対しては、1 データフェーズごとに Disconnect 処理が行われます)。 Local Bus の Write 動作が終了まで PCI からのアクセスは Retry 処理が行われます。 連続する PCI Write 要求に対し、Local Write 動作は最小 8PCI CLK 分のリカバリタイムが得られます。 本 Bit を有効設定で使用するときは、「PCI Write Mode」(Bit2)と「Data Parity Mode」(Bit6)を必ず有効設定としてください。</p>
4	<p>Application Write No Prefetch RD : Set"1"</p> <p>PCI から Write 要求があると、起動中の Local Memory Prefetch 動作を強制的に終了し、Local Write 動作が行われます。</p>
5	<p>PCI Initial Latency Enable : Set"1"</p> <p>PCI2.1 Spec 準拠の動作。 Initial Latency 16 クロックルールで動作します。</p>
6	<p>Data Parity Mode : Set"1"</p> <p>PCI からの Write データに Parity Error があつたとき、そのデータフレームの無効処理が行われます (Local Bus の Write 動作は行われません)。 ただし、Parity Error の通知処理は使用するシステム環境(OS)に依存します。 本 Bit を有効設定で使用するときは、「PCI Write Mode」(Bit2)を必ず有効設定としてください。</p>
7	<p>Adapter Software Reset : Set"1"</p> <p>TRESET#信号をアサートし、アプリケーション回路のリセットが行われます。 本 Bit に"0"がセットされるまでリセット状態が続きます。 また、リセット期間中の Local アクセスは疑似的に受付られますが Local Bus は起動しません。</p>

Direct I/O PreRD(DIO)動作

フラグチェックによる読み出し

DIO Buffer は、リングバッファ構成となっています。

Adapter Status / Recovery Register の「Direct I/O RD Buffer Empty」と「Direct I/O RD Buffer Full」フラグはつねに格納データ数に追従し反映されます。

Buffer Empty となるまでフラグチェックによる読み出しが可能です。

なお、Half または Full で示されるデータ数以上の読み出しは行わないでください。

Empty 状態での DIO 空間へのアクセスはすべて Local Bus に対し行われます。これにより、PCI 側の Read データ数と Local 側の Read データ数の不一致が発生する場合があります。

PCI INT RD Mode による読み出し

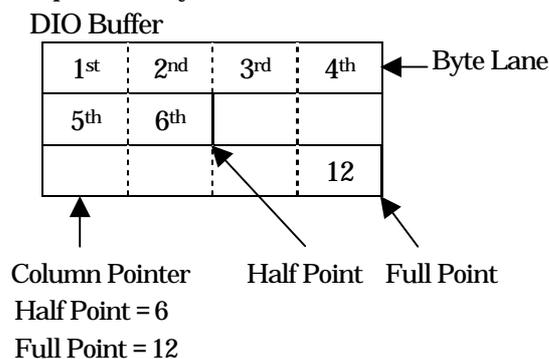
DIO Buffer の Half または Full で割り込みを発生させることが可能です。

ただし、このときの Half / Full ポイントは Adapter Status Register の追従型フラグとはことなり、固定ポイントで割り込みが発生します。

なお、Half または Full で示されるデータ数以上の読み出しは行わないでください。

Empty 状態での DIO 空間へのアクセスはすべて Local Bus に対し行われます。これにより、PCI 側の Read データ数と Local 側の Read データ数の不一致が発生する場合があります。

[例] DIO Space = 12Byte



このとき、Adapter Status Register の Buffer Empty フラグチェックによる読み出しが追従状態であっても、固定ポイントである Half / Full の点に達すると割り込みが発生します。

追従型フラグによる割り込みでは、PCI 転送における 1 データフェーズごとに割り込み発生の可能性がありパフォーマンス劣化につながります。

本 Adapter では、固定ポイントとすることで転送効率を高めています。

制約事項

- 1 . PCI の各 Read フェーズごとに Data Bus 幅の可変アクセスを行わないでください。
例 : Word Byte Word . . . etc
- 2 . Local Control Register の「Direct I/O Register Size Bit」は、同 Register の「Local Bus Width Bit」で 8Bit Bus 指定されているときは、16Bit 設定に出来ません。

割り込み制御動作

エッジモード

IRQx 信号の最小パルス幅は、「1BCLK」以上としてください。

IRCx#信号(割り込みクリア)は、受付られた割り込み要因に対してのみ 2BCLK 分出力されます。

レベルモード

各 IRQx 信号の状態がそのまま PCI の INTA#ラインに出力されます(論理和接続)。

ただし、本 Adapter 内部で Priority 制御されているため実際は同期化回路構成となっています。

割り込みクリアには 2 つの方法があります。1 つは、本 Adapter 内部の Interrupt Clear Register で割り込みクリアを行います。このとき、IRCx#信号がアサートします。

もう 1 つは、アプリケーション回路上でクリアし IRQx 信号をディアサートとする方法です。

これらは、2 重のクリア動作を回避する目的で同構成となっています。

IRCx#の動作

- IRQx 信号がディアサートの状態：
すでに IRQx 信号はディアサートのため、IRCx#信号は出力されません。
- IRQx 信号がアサートの状態：
IRQx 信号がディアサートになるまで、IRCx#信号を出力します。
このとき、IRCx#信号出力中は、PCI の INTA#ラインはマスク状態(ディアサート)となります。

Adapter リセット動作

Adapter Software Reset

Adapter Software Reset は、Enable にすると TRESET#信号を出力し、本 Adapter 内部の Status Bit をクリアします。Reset 動作は、Disable に設定されるまで続けられます。

Reset 期間中の Local アクセスは、擬似的に受付られます(Local Bus は起動しません)。

また、同状態の TA[16:0]は”H”に保持されます。

- クリアされる APIC21 内部 Register
 - *Adapter Status / Recovery Register の Bit[4:0]。
 - *Interrupt Flag Register の Bit[6:0]。

PCI Reset

PCI Reset が検出されると TRESET#信号を出力します。

PCI Reset では、本 Adapter すべての Register が初期化され、シリアル EEPROM による初期イニシャライズが開始されます。

本 Adapter には、出荷時のためのテストモードがあります。

これは、PCI Reset の立ち上がりで、IORDY 信号 / IORREQ#信号をサンプリングしどちらか、または両方”L”だった場合にテストモードへ移行します。

このため、常に IORDY 信号 / IORREQ#信号を”L”状態で制御するシステムは必ず TRESET#信号で MASK 処理してください。

汎用タイマの動作

タイマ用のクロックは、内部(PCI CLK) / 外部入力を選択可能です。
外部入力を選択した場合の最大入力周期は 33MHz までとしてください。
タイマカウンタの Count は、タイマクロックの 16 分周で行われ、Borrow 出力である TOUT# 信号も 16 分周期間の出力となります。

TOUT#出力周期 = (Timer Count 値 + 1) × TCLK 周期 × 16

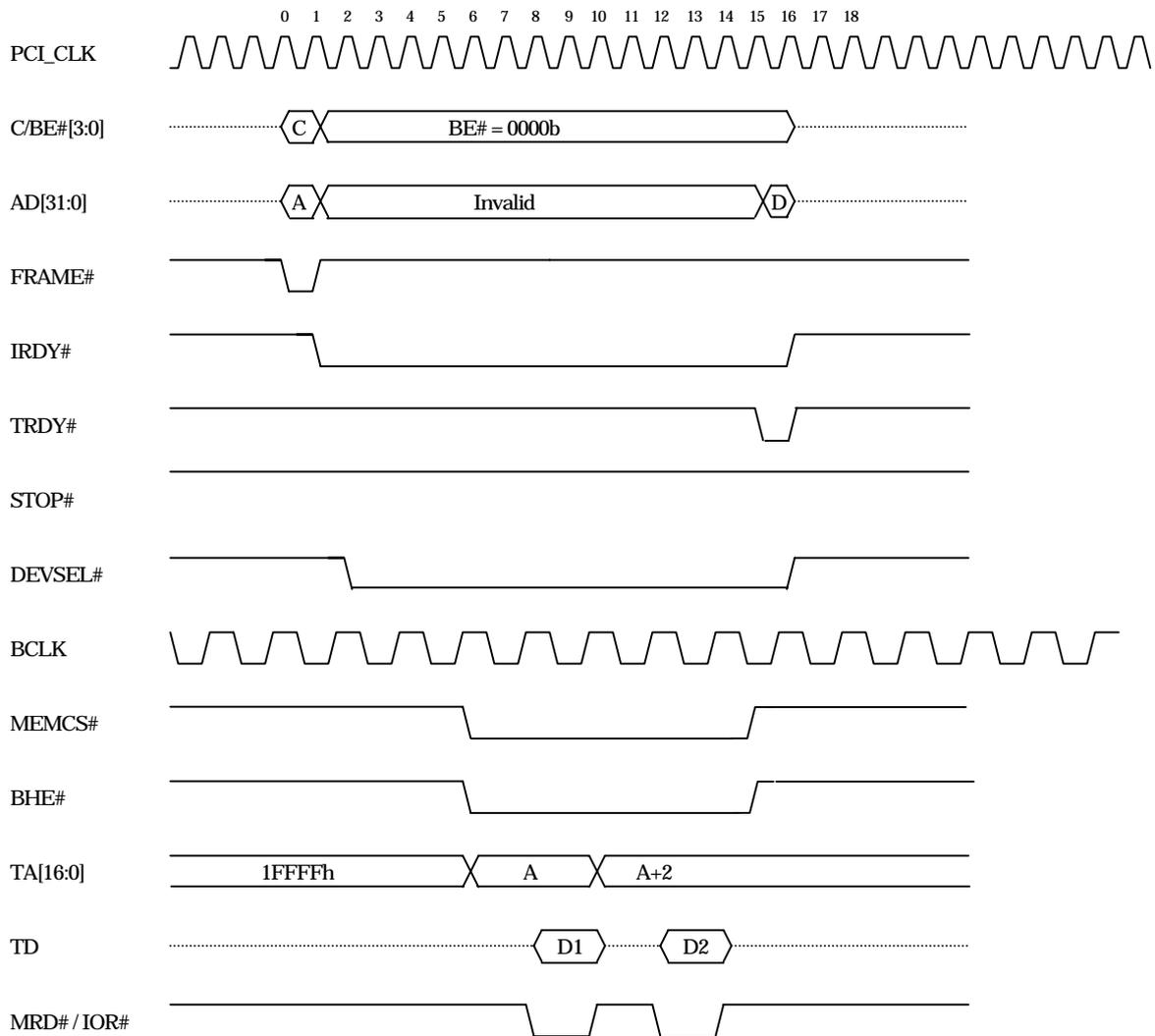
*Timer Count 値 = “0” では、カウント動作は行われません。

タイマの周期割り込みを行う場合は、外部端子上で TOUT# と IRQx を接続してください。

9. 各種タイミング

9-1. Read Transaction

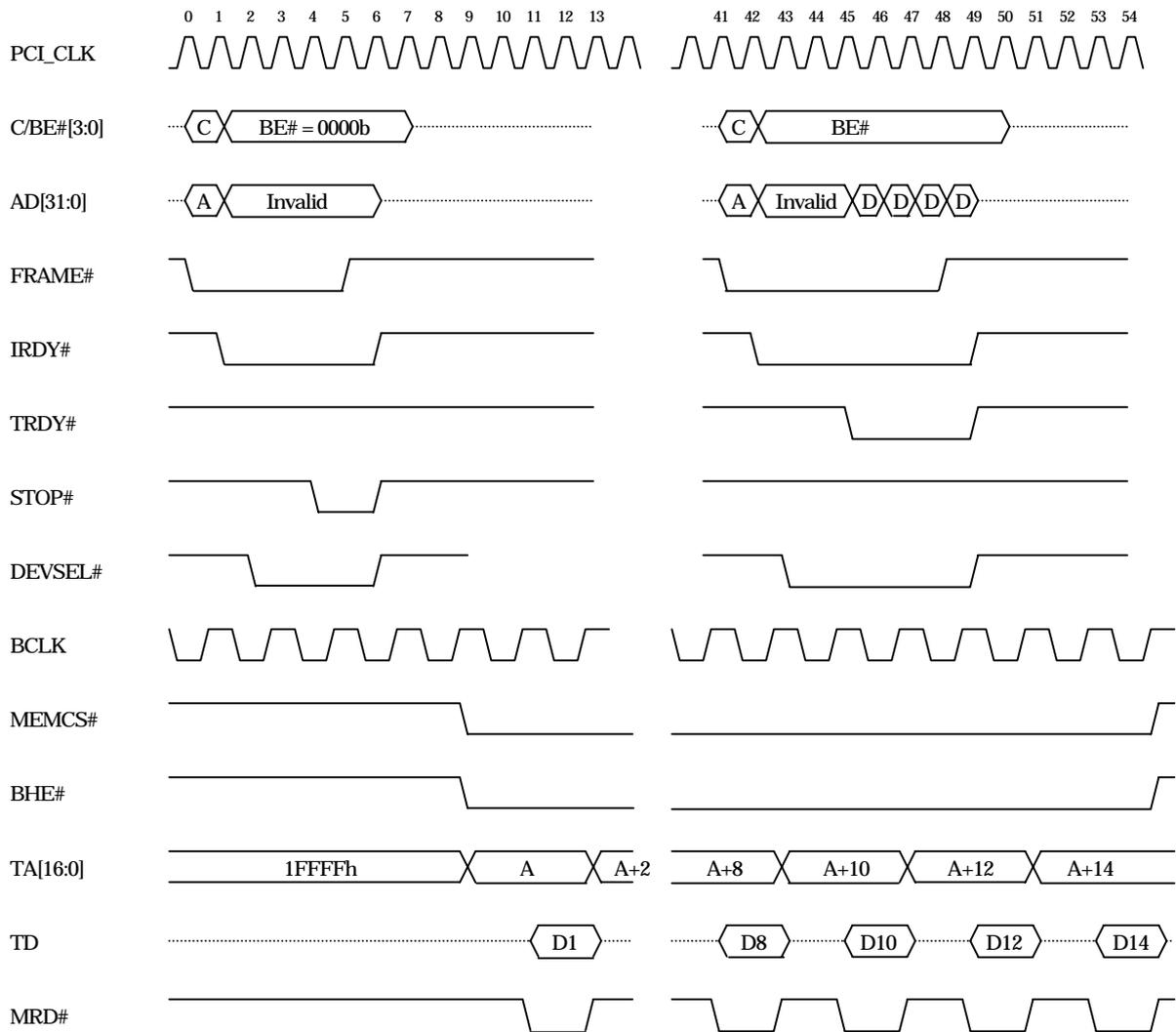
9-1-1. Direct Read Transaction



Direct RD Transaction: Local Bus=16bit / No Wait

PCI Read 要求 Byte 数が Local Bus 幅と等しい場合、合計 2 Wait 設定まで Initial Latency 内での Direct Single Read 転送が可能です。

9-1-2. Delayed Read Transaction: (PCI RD Mode)



PCI RD Mode

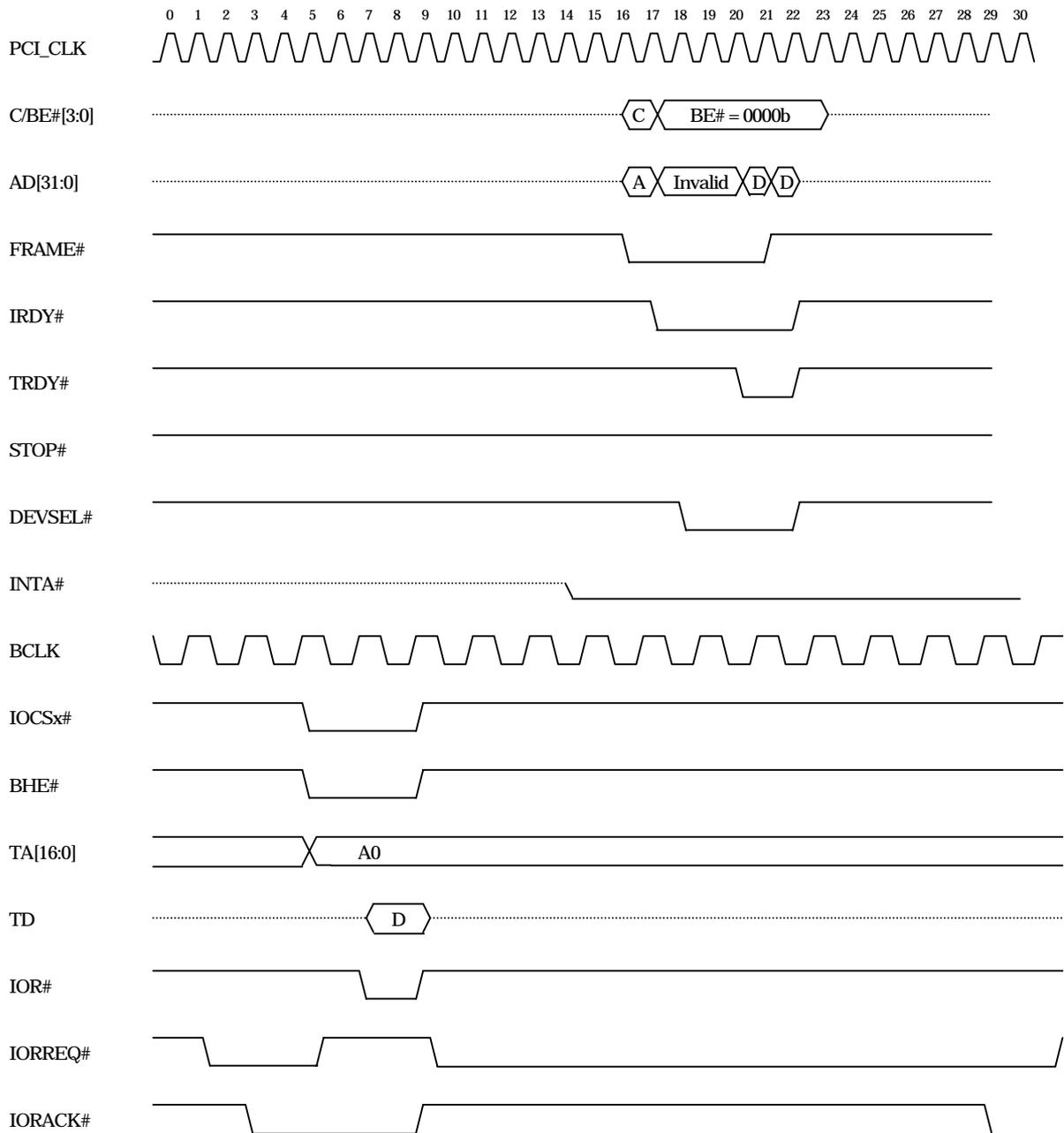
Delayed RD Transaction: Local Bus=16bit / No Wait

Memory Burst RD (Clock-0)により Delayed RD Request を受付 (PCI Read Mode - Retry 応答)。

により Local Bus 上で Prefetch RD サイクルが指定バイト分起動されます (Clock 9 付近)。Delayed RD Request と同一フレームにて PCI から再アクセス(Clock 41)があると Delayed RD が成立し、Prefetch RD で格納したデータを No Wait Burst RD で PCI 側に引き渡すことができます。

(PCI 側からの転送要求バイト数が、Prefetch RD での格納バイト数より多かった場合は、PCI 側に対し、Disconnect without Data 終了し、その時点のアドレスを元に Prefetch 予約をします。その後再度 Prefetch RD サイクルを起動し、PCI 側からのアクセスを待機します。)

9-1-3. Direct I/O Pre-Read PCI INT Read Transaction



Direct I/O Pre-RD PCI割り込み PCI INT RD Transaction

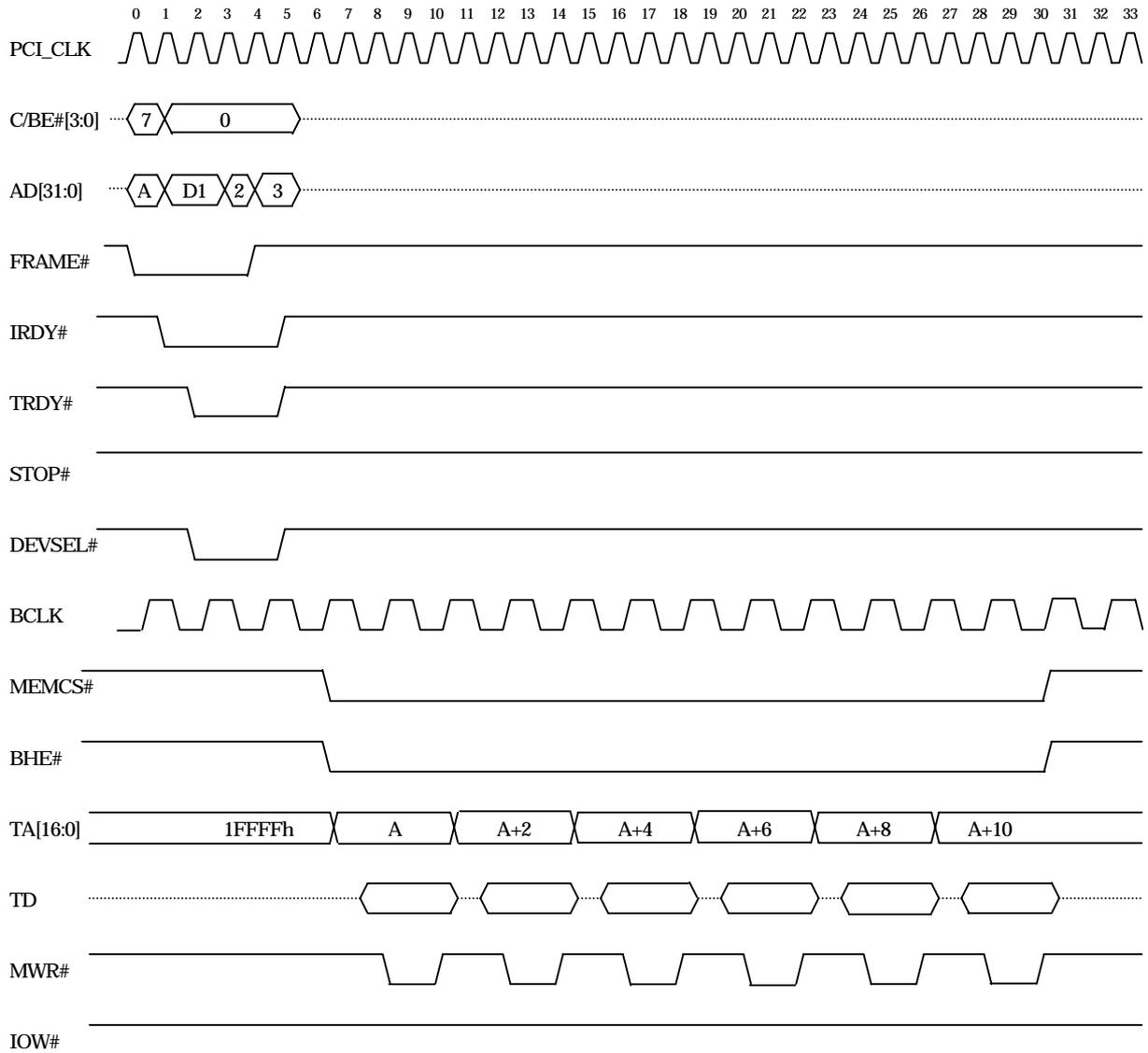
APIC21 の特徴の1つであるアプリケーション主導型転送

Direct I/O Pre-RD 転送 (DIO ADDR = A0h、レジスタ幅 16Bit 設定時) が IORREQ# (入力) / IORACK# (出力) のハンドシェイクにより起動され、あらかじめ設定した DIO 空間に格納されます。設定した空間の Half / Full (上図では Half) ポイントまでデータが格納されると、PCI 側へ割り込みを発生します。

割り込みにより起動された DIO アドレスに対するマイクロ・サービスを PCI INT RD 転送と呼び、格納されたデータを I/O Burst RD 転送によって高速に読み出すことが可能になっています。なお、通常のシステムでは、I/O Burst 転送は行われません。この時は Single アクセスで転送されます。また、割り込み発生点である Half / Full ポイント以上のデータ転送を続けて行わないでください。DIO 空間に格納されているデータ数以上の転送要求が発生すると、通常の I/O Read アクセスが起動されます。

9-2. Write Transaction

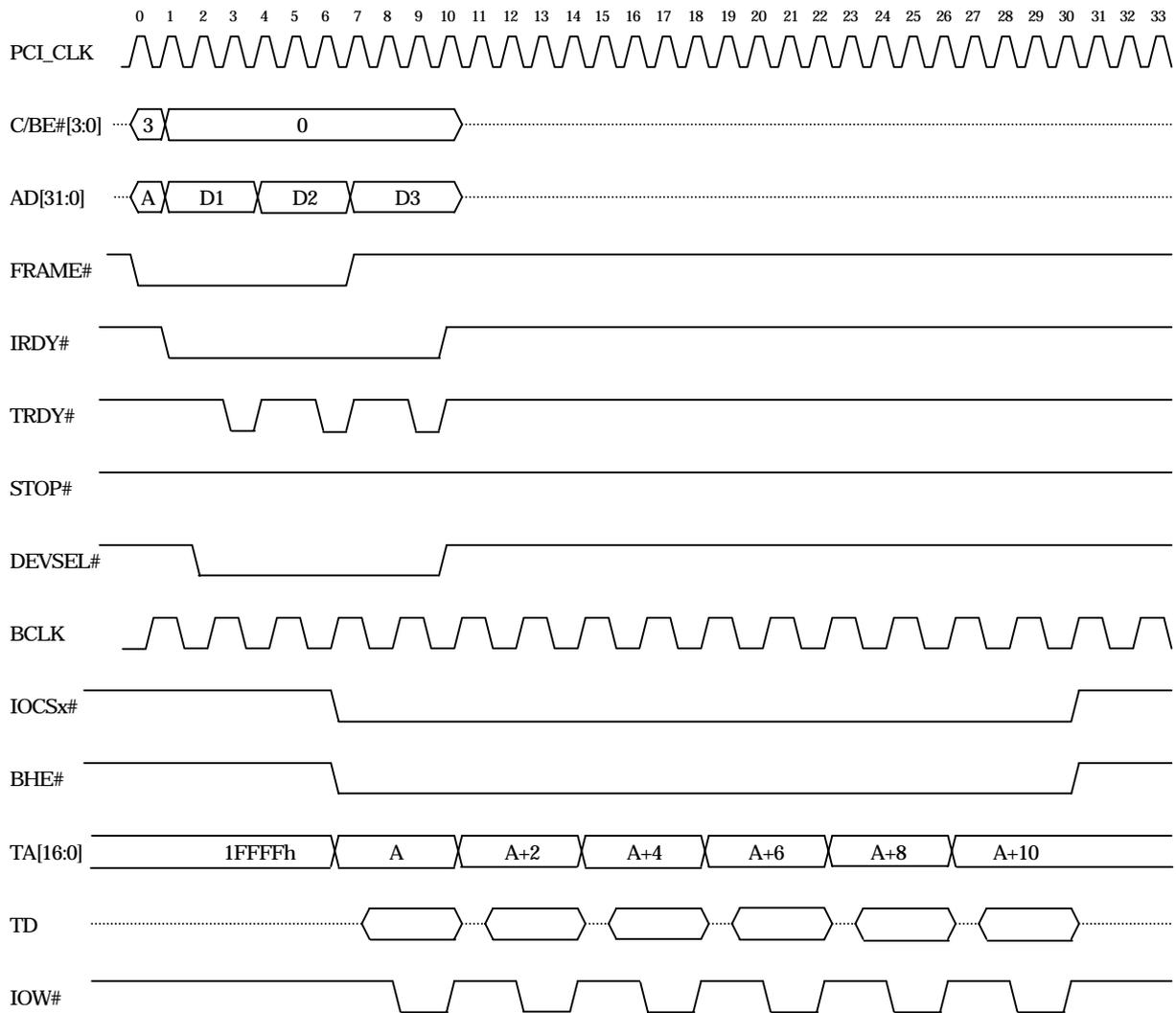
9-2-1. Memory Burst Write Transaction



Memory Burst WR Transaction : Local Bus=16bit / No Wait

PCI からの Burst Write 転送は、最大 8 データ・フェーズまで No Wait による転送が可能です。
各データ・フェーズ毎の BE#情報も同時に格納処理するため、有効バイトのみ Local アクセスしま
す。

9-2-2. I/O Burst Write Transaction



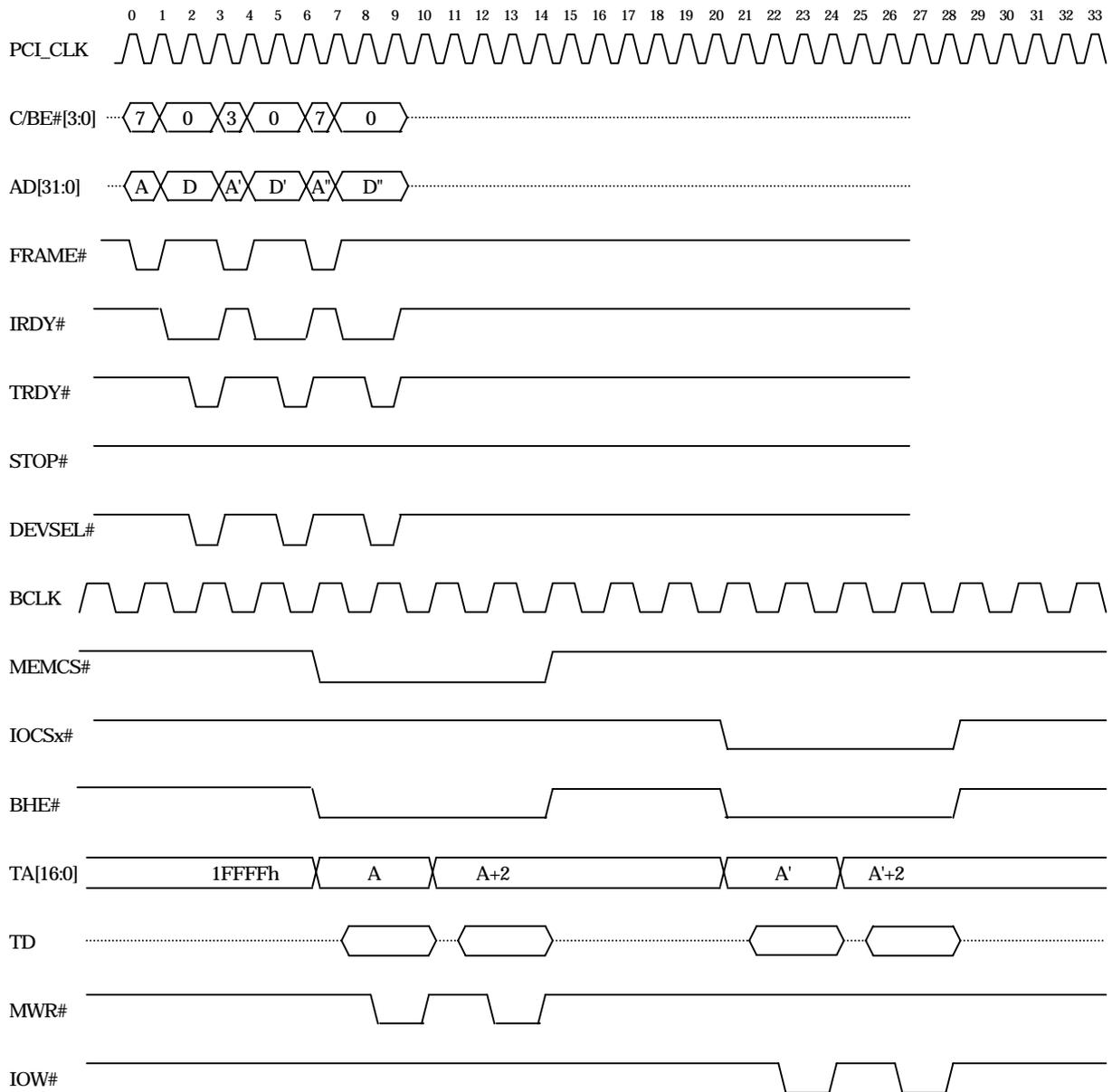
IO Burst WR Transaction : Local Bus=16bit / No Wait

I/O 空間に対する PCI バースト転送をサポートしています。

但し、PCI Spec.において、I/O 空間のマッピングはバイト単位に許可されているため、転送時全バイトが有効(BE#=0000b)の場合のみバースト・アクセスを許可します。(次データ・フェーズのアドレス更新が出来ないため) それ以外の BE#の組み合わせを検知した場合は、そのデータ・フェーズで Disconnect 終了し、マスタ側からのアドレス更新された再アクセスを待機します。そのため、各データ・フェーズ毎の BE#の有効性を判断する必要があるため、No Wait によるバースト転送は出来ません。

なお、上記の波形は Local Control Register の I/O Addressing Mode Bit="1" (リア・アドレスインクリメント) 設定時の動作です。

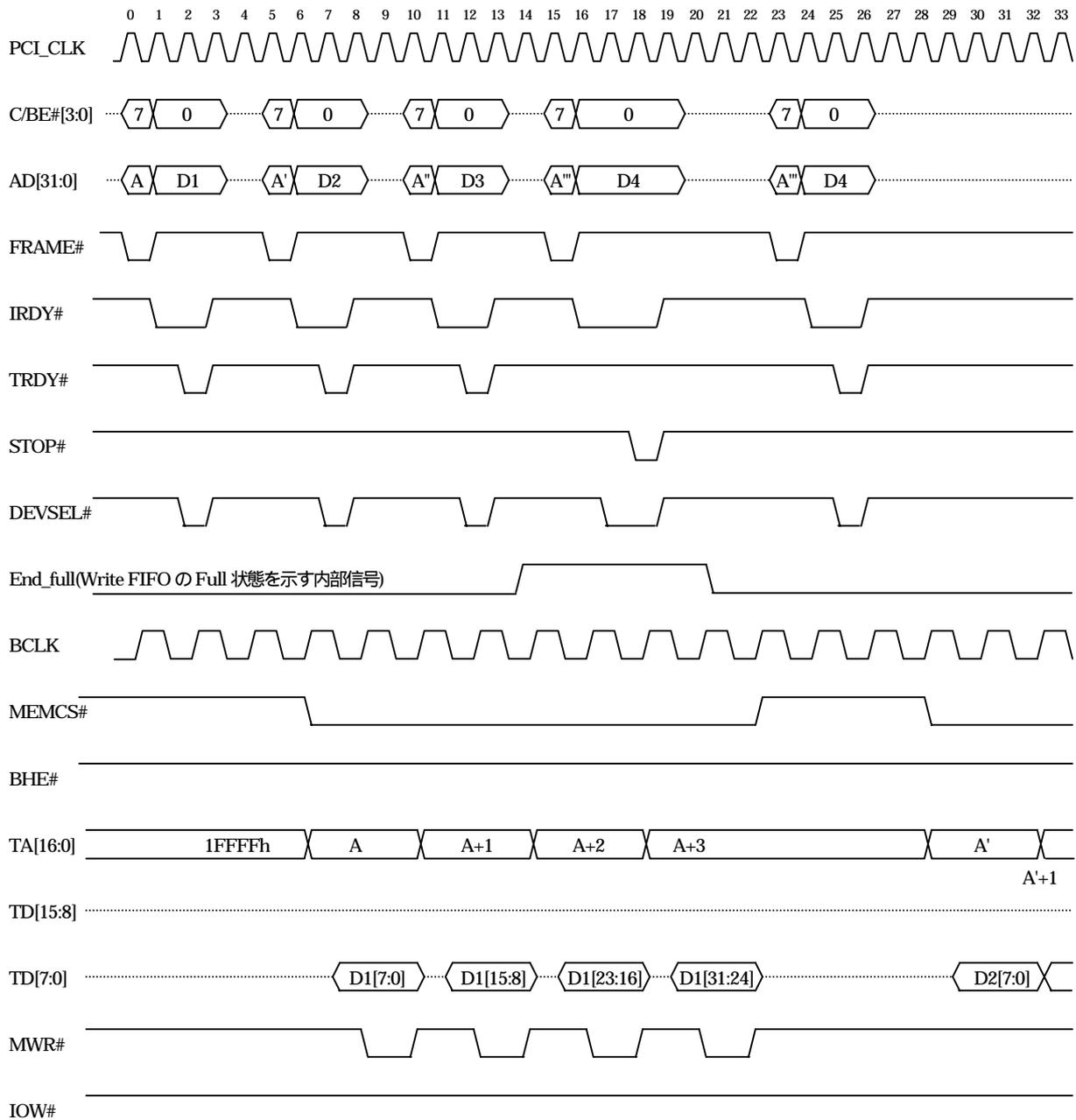
9-2-3. Fast back to back Transaction



Fast Back to Back Transaction:
PCI Write Mode Enable : Local Bus=16bit / No Wait

最大3フレーム情報を同時に格納することが可能です。
 上記波形では、Fast back to back 転送で、Memory-I/O-Expansion ROM 空間への転送を順次受け付け、排他的に Local アクセスしています。

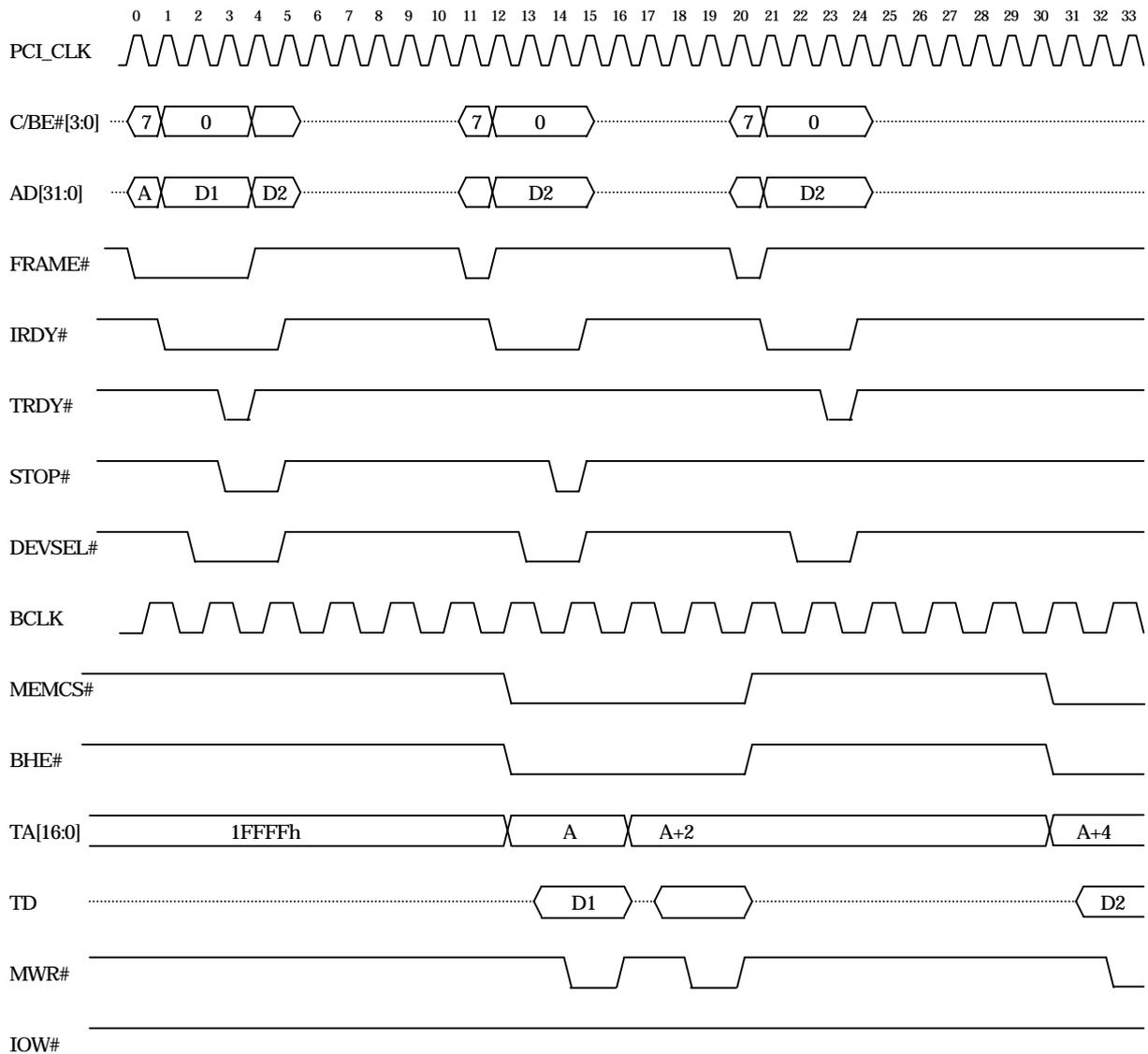
9-2-4. PCI Write Mode



PCI Write Mode Local Bus=8bit / No Wait

PCI Write Mode 設定時は、FIFO FULL 状態(Frame Queue(3 段)または Data FIFO(8 段))になると、次の PCI Write アクセス(Single)、またはデータ・フェーズ(Burst)に対し、Target Latency 要求を待たずに直に Retry 応答します。

9-2-5. PCI WR Completion Mode



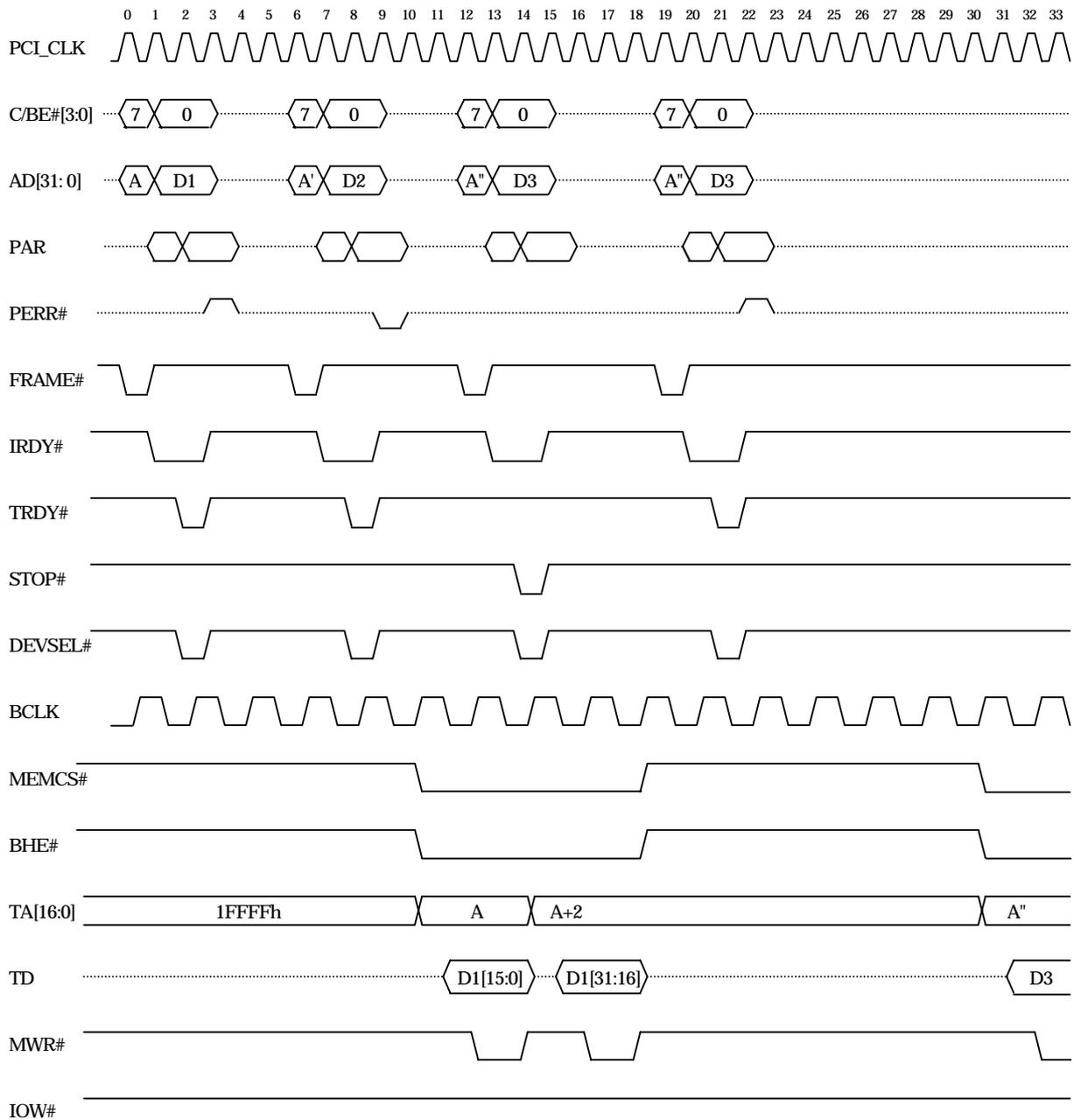
PCI WR Completion Mode (Data Parity Mode / PCI Write Mode)

Local Bus=16bit / No Wait

PCI WR Completion Mode は Burst Write 転送を抑止(データフェーズ毎に Disconnect 終了)するモードです。受け付けたデータが Local 側には書き込まれるまで一切の PCI アクセスを受け付け禁止 (Retry 応答) し、PCI - Local 間転送の同期化を図ります。

なお、Single Write 転送においても同動作となります。

9-2-6. Data Parity Mode



Data Parity Mode (PCI Write Mode)

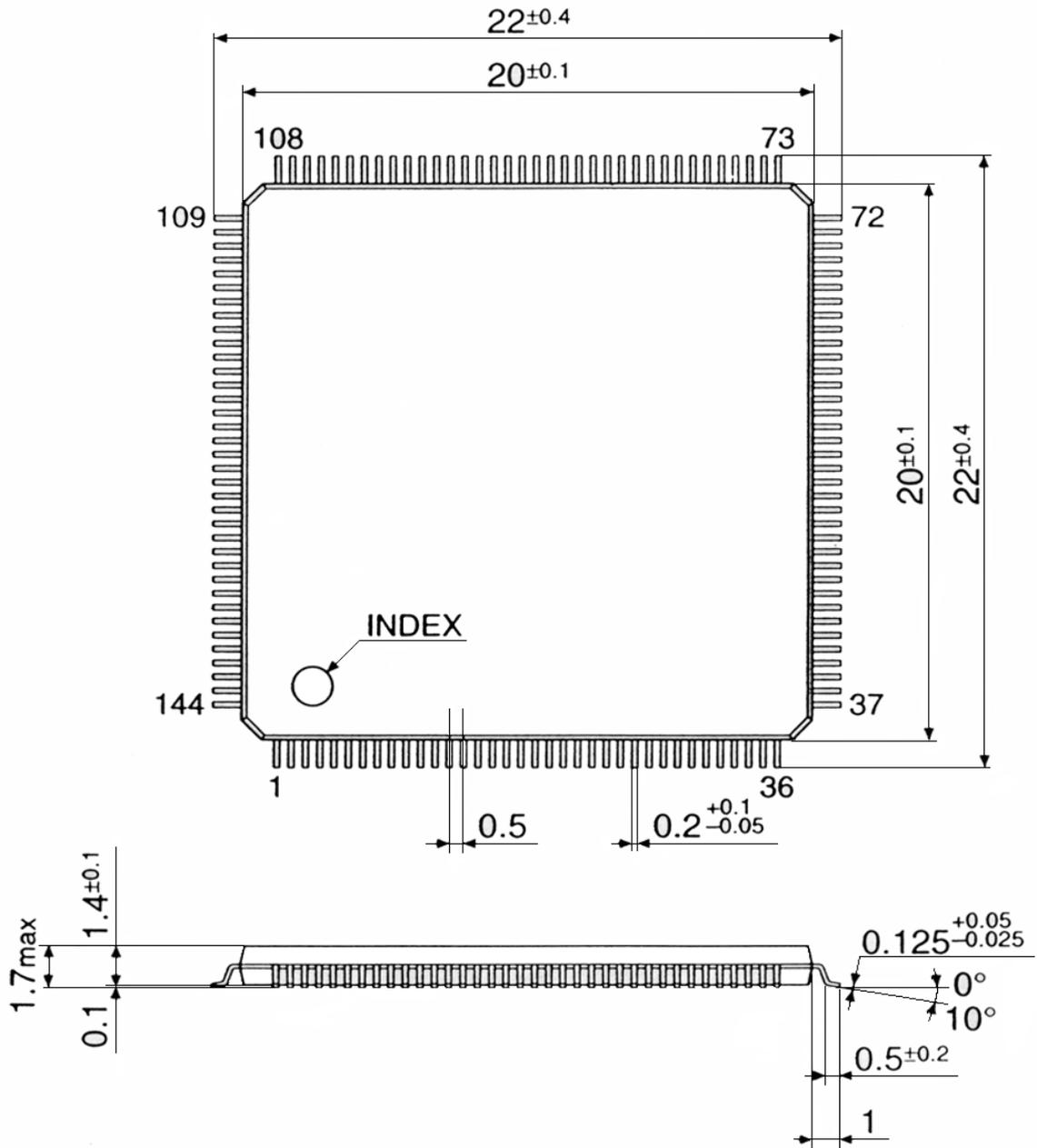
Local Bus=16bit / No Wait

Data Parity Mode は、フレーム単位 (または、FIFO Full 状態) に転送データの有効性 (Data Parity Error の有無) を判別後、Local アクセスを実行します。

1 番目のフレームでは Parity Error を検出する事無く転送終了したため、PCI アクセス終了後、Local アクセスが、起動されます。

2 番目のフレームにおいて Parity Error を検出したため、Local アクセスは起動されずに格納したフレームデータを破棄します。

外形寸法图



(mm)

改訂履歴

発行年月日	1999年10月29日	初版
発行年月日	2004年10月05日	第2版 「改訂履歴」を追加
発行年月日	2005年03月14日	第3版 E-Mail アドレスを修正
発行年月日	2012年05月01日	第4版 発行社名変更

このデータシートに記載した仕様は、改良などのため、変更することがあります。
本製品をご採用の際は、納入仕様書でご確認ください。

この資料に掲載されている技術情報は、当社及び、第3者の工業所有権その他の権利の実施に対する保証を行うものではありません。

本製品は一般電子機器に使用されることを前提に設計されております。
本製品を、高い信頼性が要求され、人身・人命に係る装置（航空・宇宙機器を含む輸送機器、交通信号機器、防犯・防災機器、各種安全装置、産業用ロボット、通信機器、原子力制御システム、生命維持装置を含む医療機器等）に使用する際は、当社営業窓口にご相談願います。

本製品は耐放射線設計をしておりません。

APIC 21 技術資料 第4版

2012年 05月 01日

株式会社シーピーアイテクノロジーズ

E-Mail : support@cp-tec.com

FAX : 045-331-9203

*本書は、予告なく内容の変更を行う場合があります。