

SRAM Interface Sample Circuit(A21SMP3)イニシャライズ参考データ

EEPROM Offset	Register Description	Note	Initializ Register Value
00h	Vendor ID	製造メーカーを表す ID	xxxxh
01h	Device ID	デバイス固有の ID	xxxxh
02h	Programming Interface Code	(High Byte)	00h
	Revision ID	(Low Byte)デバイス固有のバージョン ID	xxh
03h	(High) Base Class Code	メモリコントローラ	05h
	(Low) Sub Class Code	RAM	00h
04h	Base Address Register1	I/O 空間用ベースアドレスレジスタ ・未使用	0000h
05h	Base Address Register2	メモリ空間用ベースアドレスレジスタ ・128Kbyte 空間テーブル ・32Bit アドレス空間任意配置 ・プリフェッチテーブル	0009h
06h	Subsystem Vendor ID	製造メーカーによる任意の ID	xxxxh
07h	Subsystem ID	デバイス固有の ID	xxxxh
08h	ExpansionROM Base Address	拡張 ROM 用ベースアドレスレジスタ ・未使用	0000h
09h	(High) Interrupt Pin	インタラプト Pin セレクトレジスタ ・未使用	00h
	(Low) Adapter Control Register	・PCI Read Mode ・PCI Write Mode ・Application Write No Prefetch RD ・PCI Initial Latency Enable	35h
0Ah	LocalControlRegister Low Byte	・Local Bus Width=16Bit ・Memory Prefetch テーブル ・Prefetch Count = 32Byte	003Dh
0Bh	LocalControlRegister High Byte	・MRD/MWR Address Wait=0 ・MRD/MWR Data Wait=0 ・MRD/MWR Address Hold=0	0000h
0Ch	(High) Initialize Control	イニシャライズ コントロール ・イニシャライズ 継続	00h
	(Low) Internal Interrupt Control	・未使用	00h
0Dh	External Interrupt Control	外部割り込みコントロール ・未使用	0000h
0Eh	IOCS Enable Timing Low Byte	・未使用	0000h
0Fh	IOCS Enable Timing High Byte	・未使用	0000h
10h	IOCS0 Address Decode	・未使用	0000h
11h	IOCS1 Address Decode	"	0000h
12h	IOCS2 Address Decode	"	0000h
13h	IOCS3 Address Decode	"	0000h
14h	IOCS4 Address Decode	"	0000h
15h	IOCS5 Address Decode	"	0000h
16h	IOCS6 Address Decode	"	0000h
17h	IOCS7 Address Decode	"	0000h
18h	IOCS8 Address Decode	"	0000h
19h	IOCS9 Address Decode	"	0000h
1Ah	IOCS10 Address Decode	"	0000h
1Bh	IOCS11 Address Decode	"	0000h
1Ch	IOCS12 Address Decode	"	0000h
1Dh	IOCS13 Address Decode	"	0000h
1Eh	IOCS14 Address Decode	"	0000h
1Fh	IOCS15 Address Decode	"	0000h
20h	Multiplex Control	"	0000h
21h	RD FIFO Space Control	・Prefetch Space = 48Byte	8000h
22h	Timer Count Register: Low Byte	・未使用	0000h
23h	Timer Count Register: High Byte	"	0000h